

Энергетическая и временная адаптивность вложенных систем

А. Баумс

Институт электроники и вычислительной техники Латвийского университета
ул. Дзербенес 14, LV-1006 Рига, Латвия; тел. +371 7558510, эл. почта baum@edi.lv

Введение

В работе [1] и в докладе на 7-ой Интернациональной конференции *Electronica 2003* были предложены количественные оценки адаптивности систем реального времени (СРВ), открывающие разработчикам возможность создания систем, удовлетворяющих необходимым временным требованиям при рациональном использовании ресурсов. Однако для мобильных встроенных систем, которые в настоящее время особенно актуальны, необходимо при оценке адаптивности совместно с временными требованиями оценить также энергетические. Для этой цели служат две основные концепции:

- динамическое планирование напряжения и частоты (*DVS - dynamic voltage scaling*) [2, 3, 4, 5, 6];
- динамическое (*on-line*) или статическое во время корреляции (*off-line*) приспособление архитектуры.

Оценка адаптивности СРВ с динамическим планированием напряжения

Энергопотребление встроенной системы E_{tot} и отдельных ее узлов определяется так:

$$P_{tot} = P_{sw} + P_{st},$$

P_{st} – мощность в статическом состоянии,

P_{sw} – мощность в режиме переключения, которая для КМОП схем определяется как

$P_{sw} \sim C_{ef} U^2 f_{sw}$, где U – напряжение питания, f_{sw} – частота переключения, C_{ef} – эффективная емкость схемы ($C_{ef} = \sum_i^M C_i$, где M – количество вентилях в схеме, C_i – нагрузочная емкость i -того вентиля).

Гибкой аппаратной базой для систем с временной и энергетической адаптацией как правило служат приобретаемые в готовом виде (*off-the-shelf*) однокристальные контроллеры или микропроцессоры. Возможность динамической адаптации с программным управлением частоты и напряжения *DVS* заложены в микропроцессорах *intel Xscale Technology* [7] (PXA250, 80200), *Transmeta Co. Crusoe* [8] (TM5400 - TM5800), *ARM7D* [9] и в других, которые, в основном, предусмотрены для мобильных беспроводных аппаратов с динамическим планированием напряжения.

Для однокристальных КМОП контроллеров *AVR* и *Microchip PIC* со сравнительно простой архитектурой,

широко используемых во встроенных устройствах и системах контроля и управления, возможно программно управляемое энергосбережение *DPM (dynamic power management)* в режимах (*Power Save, Idle, Power Down*), т.е. возможность функционирования в широких диапазонах частоты и питающего напряжения.

Для количественного критерия адаптивности систем, подобно [1], предлагается относительная оценка, т.е. энергетическая оценка n реализаций m задач с динамическим планированием напряжения сопоставляется с показателем реализации тех же задач при наиболее жестких временных и энергетических условиях.

Важным фактором, определяющим адаптивность, является диапазон допустимого рабочего напряжения процессора $\Delta U = U_{max} - U_{min}$, в котором возможно программное управление частотой и энергопотреблением. В этом диапазоне устанавливается напряжение U_0 , при котором гарантируются времена реализации t_j всех m задач в наихудших условиях $WCET_j$, в жестких директивных сроках (*hard deadline*) D_j . Для относительного учета ΔU и U_0 , как критерий адаптивности предлагается использовать коэффициент $\lambda = \Delta U / U_0$.

Одним из основных факторов, определяющих адаптивность реальных СРВ, является фактические отклонения времен реализации j – той задачи на i -том шаге t_{ji} от наихудшего времени реализации $s_{ji} = WCET_j - t_{ji}$ (*slack time*). С энергетической точки зрения, за это время следует снизить напряжение и соответственно частоту. Увеличивая время реализации задачи на Δt_{ji} и снижая мощность на ΔP_{ji} , возможно снижение энергопотребления на $\Delta P_{ji} \Delta t_{ji}$. Однако, к сожалению, фактическое s_{ji} выявляется только после реализации задачи и его трудно прогнозировать. Поэтому предлагается после первого шага реализации задачи при напряжении U_0 , когда $t_{j1} = WCET_j - s_{j1}$, энергопотребление $P_{j1} WCET_j$ и $s_{j1} = s_{j1}$, установить новое значение напряжения и частоты, при которых время реализации на шаге 2 увеличивается на Δt_{j2} и мощность переключения снижается на ΔP_{j2} . По соображениям энергоэкономии, величину Δt_{j2} следует выбирать ближе к s_{j1} , однако при заранее неизвестном характере изменений времени реализации задачи и

жестком директивном сроке D_j это недопустимо. В таких условиях целесообразно установить небольшой временной барьер $\delta_j \sim 0,1D_j$, при переходе через который, следует начать некоторое повышение напряжения и частоты. Из этих соображений рационально, например, выбирать $\Delta t_{j2} = 0,5s_{j1} - \delta_j$. Если на следующем шаге величина s_{j2} сократилась, но еще значительно больше установленного временного барьера, т.е. $s_{j2} \gg \delta_j$, например, $s_{j2} > 10\delta_j$, то следует выполнить следующие шаги снижения напряжения и частоты.

Таким образом после первых шагов, если только времена реализации t_{ji} и соответствующие s_{ji} не имеют скачкообразного характера, путем плавного регулирования, т.е. снижения напряжения питания, а в случае приближения t_{ji} к δ_j , увеличения напряжения, энергопотребление оптимизируется при соблюдении временных требований. Важным показателем реализации шага этого процесса адаптации является величина $\Delta s_{ji} = |s_{ji+1} - s_{ji}|$, а для множества n шагов –

$$\xi_j = \sum_{ji}^n \Delta s_{ji} / D_j.$$

На основе изложенных соображений предлагается показатель адаптивности:

$$\alpha_{sw} = \lambda \frac{n \sum_j^m P_j WCET_j}{\sum_j^m \xi_j \sum_{ji}^n (P_{kji} - \Delta P_{kji}) (D_j - (s_{ji} - \delta_j) + \Delta t_{ji})}. \quad (1)$$

В показателе адаптивности: (1) для упрощения не отражены шаги установления стабильности режима, т.е. шаги $i = 1, 2, \dots, n$, о которых говорилось выше.

Количество этих шагов зависит как от динамики изменения s_{ji} , так и от выбранного алгоритма модификации Δt_{ji} . Показатель (1) может быть в дальнейшем усовершенствован с учетом задач, которые имеют мягкий характер (*soft deadline*) и при реализации которых допускаются нарушения D_j , некоторая минимизация барьера δ_{kj} или пренебрежение им.

В показателе (1) не отражено также то, что в некоторых случаях [22], при достаточно больших значениях s_i , можно для энергосбережения использовать принцип *DPM*, при котором энергопотребление может быть доведено даже до нуля.

Оценка архитектурой адаптивности вложенных систем

Архитектурная адаптация вложенных систем отличается большим разнообразием, но их практическая реализация пока находится в начальной стадии. Целесообразно множество вариантов архитектурной адаптации разделить на 2 подмножества: *доменной* и *микроархитектурной* адаптации. К первому подмножеству отнесем, например, программно перестраиваемые структуры *SoC*, в которых отдельные домены (различного вида процессоры, запоминающие и интерфейсные узлы) могут работать на разных частотах, а также многопроцессорные и многоканальные структуры.

Подмножество *микроархитектурной* адаптации основано на программно или аппаратно управляемой модификации внутренней структуры процессора или

исполняющего устройства, которые выражается в энергоэкономии. Рекомендации по использованию разных вариантов таких модификаций, как правило, даются на основе результатов эмуляции и симуляции структур.

К подмножеству факторов *микроархитектурной* энергетической адаптации относятся:

- регистры и логика ступеней конвейерных (*pipeline*) исполняющих узлов в мультискалярных процессорах [10];
- очереди и их величины: источника инструкций (*issue queue-IQ*), буфера изменения последовательности реализации инструкций (*reorder buffer – ROB*) [11], очереди загружать-записать (*load/store – queue*) [12];
- иерархические ступеньки (*L1/L2/L3*) [13], отдельные банки, подразделы [14] или слоты [15] кеш-памяти;
- фиксаторами оптимальной реализации петель программ [16].

В большинстве исследований по *микроархитектурной* адаптации анализируется влияние только одного вида модификации, однако в ряде случаев предлагается несколько видов модификации и исследуются различные комбинации этих видов [11,17]. Для упрощения оценки адаптивности принято, что имеются $N_{\mu a}$ полезных видов микроархитектурной адаптации и их комбинаций, каждое из которых (k -тое) при реализации задачи T_j из множества $\{T_{mj}\}$ может на i -том шаге дать энергосбережение $\Delta P_{kji} \Delta t_{kji}$. Тогда для показателя микроархитектурной адаптивности можно построить выражение:

$$\alpha_{\mu a} = \frac{n \sum_j^m P_j WCET_j}{\sum_k^{N_{\mu a}} \sum_{kj}^m \sum_{kji}^n (P_{kji} - \Delta P_{kji}) (D_j - s_{kji} + \Delta t_{kji})}. \quad (2)$$

Необходимо отметить, что при переходе от одного из $N_{\mu a}$ видов микроархитектурной адаптации к другому, используется принцип *DPM*, при котором для k -того варианта реализации j -той задачи величины ΔP_{kji} и Δt_{kji} выбираются, как правило, на основе результатов (таблиц), предварительно полученных при компиляции и эмуляции.

Доменная архитектурная энергетическая адаптация в настоящее время имеет больше возможностей практического воплощения, чем микроархитектурная. Рядом компаний разработаны программно перестраиваемые крупноузловые структуры для реконфигурируемых однокристалльных систем *SoC*. Структуры могут содержать как множество процессоров общего назначения так специальные: обработки сигналов - *DSP*, каналные и др. Необходимо, например, отметить *Virtex-ProFPGA* и *ASMBL XILINX* фирмы [18] и *Multi-Project Platform* фирмы *STMicroelectronics* [19].

Научные исследования энергетической адаптации доменных архитектур отражены как:

- динамическое планирование энергопотребления отдельными реконфигурируемыми доменными процессорами [20, 24],

- центральное управление энергопотреблением *DSP* и другими сопроцессорами [22],
- управление энергопотреблением отдельных процессоров в однокристалльной мульти-процессорной системе [23,25].

Для оценки адаптивности *доменных архитектур* вводится относительный показатель, в котором адаптивность оцениваемой системы сравнивается с однопроцессорной системой, реализующей множество $\{T_m\}$ задач за наихудшие времена $WCET_j$. В оцениваемой N доменной системе подмножество задач $\{T_{mk}\} \subset \{T_m\}$, реализуется на k -том домене и $\sum_k^m m_k = m$. Если для реализации задачи m_k на домене требуется время t_{kj} и мощность P_k , то для оценки временной и энергетической адаптивности можно использовать упрощенную формулу:

$$\alpha_{da} = \frac{n \sum_j^m P_j WCET_j}{\sum_k^N \sum_j^{mk} \sum_i^n P_{kji}}. \quad (3)$$

В простой формуле (3) непосредственно не отражается общая архитектура и значимость отдельных доменов. Единственное отличие между доменами заключено во множествах (в количестве) реализуемых задач и во времени их реализации. Формула (3) также не дает представления о запоминающих доменах, если они энергоуправляемы. Поэтому для более полной или уточненной оценки адаптивности возможно совместное применение доменно-архитектурных и микроархитектурных показателей.

Соображения по дальнейшему развитию работы

В продолжении планируется два основных направления работы.

1. Усовершенствование характеристик адаптивности с учетом выше указанных соображений для показателей:

α_{sw} – отражение задач, которые имеют мягкий характер и режим программного управления энергосбережения *DPM*;

$\alpha_{\mu a}$ – учет и отражение времени, необходимого для автономно полученных (при компиляции и эмуляции) или оперативно образованных управляющих адаптацией данных (таблиц);

α_{da} - отражение влияния *запоминающих доменов* с программируемым энергопотреблением.

2. Уточнение показателей адаптивности и (или) создание дополнительных показателей, отражающих оптимальность энергопотребления. Как правило, с этой точки зрения, алгоритмы адаптации являются эвристическими и неоптимальными. Точное планирование минимального электропотребления с соблюдением необходимых временных требований, как это показано в [23], является *NP* трудной (*hard*), требующей чрезвычайно большой вычислительной работы. Поэтому практически эвристическим путем возможно за приемлемое время получить только приемлемую, сниженную точность.

Связь между временем и точностью, связанную с характерными множествами решаемых проблем, необходимо отражать во вновь создаваемых специализированных – *проблемно-ориентированных* показателях адаптивности.

Выводы

Минимальное энергопотребление и удовлетворение временных требований вложенных систем, особенно мобильных, являются основными показателями их оптимальности. Как показывают современные разработки и многие теоретические и экспериментальные исследования, которые частично отражены в источниках, указанных в перечне *литературы*, оптимальность может быть обеспечена путем адаптации. Из этого следует, что оптимальность системы во многом определяется ее адаптивностью. Однако адаптивность, как правило, оценивается интуитивно. Трудность в представлении объективного и количественного показателя оценки адаптивности заключается в многообразии приложений вложенных систем, во множестве временных требований и алгоритмов, используемых для их обеспечения. Для преодоления этих трудностей, в работе условно введены 3 вида адаптивности: *планирование напряжения, микроархитектурный и доменно-архитектурный*. На этой основе построены 3 упрощенных критерия адаптивности, которые представляются читателю. Автор будет благодарен за критическую оценку и любые замечания.

Литература

1. Баумс А. Оценка адаптивности вложенных систем реального времени // Electronics and Electrical Engineering. - Kaunas: Technologija, 2003. - No.3(45). - P. 53-57.
2. Ishihara T, Yasuura H. Voltage scheduling problem for dynamically variable voltage processors // Proceedings of the 1998 international symposium on Low power electronics and design. – P 197-202.
3. Chandrasena L. H., Chandrasena P., Liebelt M. J. An energy efficient rate selection algorithm for voltage quantized dynamic voltage scaling // Proceedings of the 14th international symposium on Systems synthesis Montréal. – P.124-129.
4. Mochocky B., Hu X.S., Quan G. A Rerealistic Variable Sheduling Model for Real-Time Applications // Proceedings of the 2000 IEEE/ACM international conference on Computer-Aided Design. – P. 726-731.
5. Jejurikal R., Gupta R. Energy Aware Task Schduling with Task Synchronization for Embedded Real Time Systems // Proceedings of the intrnational conference on Computers, architecture, and syntesis for embedded system. – Grenoble, 2002. - P.164-169.
6. Kuo J-L, Kuo T-F., Chen T-F. Dynamic Voltige Sheduling for Real-Time on Low- Power Variable Speed Processors // Proceedings of the intrnational conference on Computers, architecture, and syntesis for embedded system citation. – Grenoble, 2002. – P. 147-154.
7. www.intel.com/design/intelscale/index/
8. www.transmeta.com/crusore/ lowpower/longren/
9. www.acm.com/products/
10. Bahar R. I., Manne S. Power and energy reduction via pipeline balancing // Proceedings of the 28th annual

- international symposium on Computer architecture. – Göteborg, 2001. – P. 218-229.
11. **Ponomarev D., Kucuk G., Ghose K.** Reducing power requirements of instruction scheduling through dynamic allocation of multipledatapath resources // Proceedings of the 34th annual ACM/IEEE international symposium on Microarchitecture, Austin, 2001. – P. 90-101
 12. **Buyuktosunoglu A., et al.** Energy efficient co-adaptive instruction fetch and issue // Proceedings of the 30th annual international symposium on Computer architecture. – San Diego. – P. 147-156.
 13. **Balabramonian R., et al.** Memory hierarchy reconfiguration for energy and performance in general-purpose processor architectures // Proceedings of the 33rd annual ACM/IEEE international symposium on Microarchitecture, California, 2000. – P. 245-257.
 14. **Albonesi D. H.** Selective cache ways: on-demand cache resource allocation // Proceedings of the 32nd annual ACM/IEEE international symposium on Microarchitecture, 1999, Haifa, 1999. – P. 248-259.
 15. **Zhou H.** Adaptive mode control: A static-power-efficient cache design // ACM Transactions on Embedded Computing Systems, 2003. – V.2. –P. 347-372.
 16. **Vahid F., Gordon-Ross A.** A self-optimizing embedded microprocessor using a loop table for low power // Proceedings of the international symposium on Low power electronics and design, California, 2001. – P. 219-224.
 17. **Huang M.C., Renau J., Torrellas J.** Positional Adaptation of Processors: application to Energy Reduction // Proceedings of the 30th annual international symposium on Computer architecture, San Diego, 2003. – P. 102-119
 18. www.xilinx.com/virtex2pro
 19. www.st.com/stonline/prodpres/dedicate/soc/asic/
 20. **Semeraro G. et al.** Dynamic frequency and voltage control for a multiple clock domain microarchitecture // Proceedings of the 35th annual ACM/IEEE international symposium on Microarchitecture. – Turkey, 2002. – P. 356-367.
 21. **Nikitovic M., Brosseau M.** An Adaptive Chip-Multiprocessor Architecture for Future Mobile Terminals // Proceedings of the international conference on Computers, architecture, and synthesis for embedded system citation, Grenoble, 2002. – P. 41-49.
 22. **Kim M., Ha S.** Hybrid run-time Power Management Technique for real-time Embedded System with Voltage Scalable Processor // Proceedings of the ACM SIGPLAN workshop on Language. Compilers and Embedded Systems citation, Utah, 2001. – P. 11-19.
 23. **Yun H S., Kim J.** On energy-optimal voltage scheduling for fixed-priority hard real-time systems // ACM Transactions on Embedded Computing Systems, V. 2, 2003. - P. 393-429.
 24. **Magklis G. et al.,** Profile-based dynamic voltage and frequency scaling for a multiple clock domain microprocessor // Proceedings of the 30th annual international symposium on Computer architecture, June San Diego, 2003. – P. 14-27.
 25. **Shin Y., Choi K., Sakurai T.** Power optimization of real-time embedded systems on variable speed processors // Proceedings of theIEEE/ACM international conference on Computer-aided design, San Jose, 2000. – P. 365-368.

Pateikta spaudai 2004 03 05

A. Baums. Energetinis ir laikinis įdėtujų sistemų adaptyvumas // Elektronika ir elektrotechnika. – Kaunas: Technologija, 2004.- Nr. 3(52). – P. 23-26.

Pasiūlytas optimalus realaus laiko uždavinių planavimo metodas, kuris gerokai sutrumpina mašininę skaičiavimo trukmę. Metodas realizuotas energetinėse sistemose. Įrodyti intuityvaus įvertinimo trūkumai bei domenų architektūrinio planavimo ypatumai. Šie sprendimo ir lyginimo būdai leidžia tiksliau įvertinti energetinių sistemų euristinę prognozę. Bibl. 25 (rusų kalba; santraukos lietuvių, anglų ir rusų k.)

A. Baums. Energy and Time Adaptability of Embedded Systems // Electronics and Electrical Engineering. – Kaunas : Technologija, 2004. – No. 3(52). – P. 23-26.

Optimal task execution time and energy consumption scheduling for real - time systems is *NP hard* problem. Therefore usually simplify heuristic adaptive methods for embedded system design and intuitive adaptability for there estimation is used. By analysis of grate number of adaptive systems and using it relative comparison approach 3 quantitative criteria are developed and proposed for: dynamic voltage-time scaling, microarchitecture and domen-architecture adaptability. Bibl. 25 (in Russian; summaries in Lithuanian, English and Russian).

А. Баумс. Энергетическая и временная адаптивность вложенных систем // Электроника и электротехника. – Каунас: Технология, 2004. – № 3(52). – С. 23-26.

Теоретические исследования показывают, что планирование задач реального времени с оптимальным энергопотреблением является *NP* трудной (*hard*) проблемой, при точной реализации которой требуется недопустимо большое машинное время. Поэтому для практического решения этой проблемы применяются эвристические адаптивные методы пониженной точности. Оценка методов адаптации и адаптивности создаваемых систем, как правило, оценивается интуитивно. В представленной работе на основе анализа большого количества адаптивных систем, используя относительный принцип оценки, предложены 3 качественных показателя адаптации: планирование напряжения, микроархитектурый и доменно- архитектурный. Библ. 25 (на русском языке; рефераты на литовском, английском, и русском яз.).

DOI: 10.5755/j02.eie.10941