

Dvipolių tranzistorių schemų projektavimo ypatumai

R. Benisevičiūtė

Taikomosios elektronikos katedra, Kauno technologijos universitetas,
Studentų g. 50, 51368 Kaunas, Lietuva., tel. 300282, el.p. rita@soften.ktu.lt

K. Paulikas

Programinės įrangos katedra, Kauno technologijos universitetas,
Studentų g. 50, 51368 Kaunas, Lietuva, tel. 300629, el.p. keostas@elen.ktu.lt

Ivadas

Integrinės schemos dažniausiai kuriamos iš komplementinių MOP schemų, sutrumpintai vadinamų KMOP schemomis. Šio tipo schemos labai našios kuriant didelės apimties schemas (kelių tūkstančių ar net milijonų tranzistorių). Pagrindinis KMOP schemų pranašumas – labai mažos grandine tekančios srovės. Tai leidžia kuriamiems įtaisams varuoti labai mažą galią ir naudoti mažų įtampų maitinimo šaltinius.

Tačiau galios ir deltos trukmės $P \times t_d$ sandauga, pagal kurią vertinama schemos kokybė, pakinta mažai. Tai sąlygoja mažesnė schemos greಿತaveika dėl parazitinių kondensatorių ir varžų. Parazitiniai kondensatoriai dažniausiai susidaro dėl santakos ir ištakos sričių užkloties užtūros elektrodo, kai atsiranda parazitinės varžos ir talpos. Be to, signalo perjungimo metu susidaro srovės maksimumai. Šių trūkumų neturi dvipolių tranzistorių schemos, nors grandine teka gerokai didesnė srovė ir padidėja schemos vartojama galia.

Straipsnyje apžvelgiami dvipolių integrinių schemų projektavimo ypatumai: pranašumai ir trūkumai. Analizei panaudota integrinių schemų projektavimo sistema CADENCE ir dvipolių tranzistorių DMILL biblioteka.

Nagrinėjamas automatizuoto integrinių schemų generavimo procesas, šio proceso galimybės ir trūkumai. Interaktyviai projektuojant integrines schemas, analizuojama tranzistorių konfigūracijos įtaka schemos parametrams bei jungiamųjų takelių išdėstymo metodika.

Jei reikia keisti projektuojamos integrinės schemos fizinius parametrus, tai galima padaryti dviem būdais:

a) pirmuoju atveju iš pateiktos tranzistorių lygio schemos automatiniu būdu susintetinamas topologinis piešinys, projektuotojui paliekant galimybę keisti šiuos tranzistorių fizinius parametrus: emiterio bei bazės ilgį ir plotį, kolektoriaus struktūrą bei sandūrų gylius; tai leidžia keisti tranzistorių elektrines charakteristikas;

b) antruoju atveju projektuotojas dialogo režimu kuria norimo tranzistoriaus topologinį piešinį. Čia projektuotojas gali keisti ne tik tranzistorių matmenis, bet ir jų dislokaciją bei jungiamųjų takelių išdėstymą.

Šio darbo tikslas – sudaryti dvipolių schemų topologinio piešinio projektavimo metodiką, kartu atliekant

dialogine sistema sukurtų topologinių piešinių geometrinių parametrų sutikimo su normatyvais kontrolę ir elektrinių charakteristikų verifikaciją. Taip pat lyginamos automatiškai iš elektrinės schemos susintetintų pavyzdžių bei interaktyviai sukurtų topologinių piešinių elektrinės charakteristikos.

Pagrindinių dvipolio tranzistoriaus charakteristikų sąryšis su tranzistoriaus topologija

Pagrindiniu dvipolio tranzistoriaus parametru laikomas srovės stiprinimo koeficientas β .

Srovės stiprinimo koeficientas aprašomas taip:

$$\frac{1}{\beta} \approx \frac{\rho_E W_B}{\rho_B L_{pE}} + \frac{W_B^2}{2L_{nB}^2} + \frac{sA_s W_B}{A_E D_{nB}}; \quad (1)$$

čia β – srovės stiprinimo koeficientas bendro emiterio schemeje; W_B – tranzistoriaus bazės storis; D_{nB} – elektronų difuzijos į bazės sritį koeficientas; ρ_B – bazės specifinė varža; L_{pE} – skylių nulėktas kelias emiteryje; L_{nB} – elektronų nulėktas kelias bazėje; A_s – efektyvusis paviršinės rekombinacijos plotas; s – paviršinės rekombinacijos greitis; A_E – emiterio plotas.

Norint pasiekti maksimalų stiprinimą β_F , reikia, kad kiekvienas iš stiprinimo koeficiento lygtį sudarančių narių būtų pakankamai mažas. Tai reiškia, kad krūvininkų gyvavimo trukmė turėtų būti kaip galima ilgesnė, bazės storis – kaip galima mažesnis, emiterio varža turi būti labai maža ir paviršinė krūvininkų rekombinacija neryški.

Kadangi efektyvusis bazės storis labai veikia stiprinimo koeficientą β , visi kiti veiksniai, keičiantys bazės storį, taip pat turi įtakos stiprinimo koeficientui. Supaprastinus β išraišką, matyti, kad srovės stiprinimo koeficientas β visiškai nepriklauso nuo srovės dydžio.

Tačiau ši prielaida galioja tik vidutinių srovių srityje. Esant mažoms srovėms, β mažėja dėl rekombinacijos centrų emiterio ir bazės pn sandūroje. Todėl, nagrinėjant silpnų srovių režimą, reikalingas papildomas narys.

Šis papildomas narys aprašomas taip: $\frac{I_{rekE}}{I_E}$.

Iš išraiškos taip pat išeina, kad bendro emiterio stiprinimo koeficientas yra pastovus dydis. Tačiau žinoma, kad silicio tranzistorių β_F yra pastovus tik esant vidutinio stiprumo srovėms, β_F mažėja tiek esant labai mažoms, tiek labai didelėms srovėms.

Didelių srovių diapazone, vykstant intensyviai elektronų injekcijai, į bazę injektuotų elektronų skaičius n_p susilygina ar net viršija skylių koncentraciją bazėje p_p . Šiomis sąlygomis jau reikia vertinti elektrinį lauką, palaikantį pagrindinių krūvininkų srautą.

Srovės stiprinimo koeficientas šiuo atveju mažėja, nes, tekant stiprioms srovėms, kinta emiterio efektyvumo priklausomybė nuo pratekančios srovės stiprumo. β_F mažėjimą galima susilpninti naudojant labiau legiruotą bazę arba didinant sandūros plotą.

Be to, tekant stiprioms srovėms, pasireiškia Kirlio efektas, kai dėl srovės poveikio siaurėja dalies krūvininkų netekusi kolektoriaus sritis, o kartu storėja bazės sritis.

Stiprių srovių diapazone srovės stiprinimo koeficientas bendro emiterio schemoje aprašomas taip:

$$\frac{1}{\beta_F} = \frac{\rho_E w_B}{\rho_B L_{pE}} \left(1 + \frac{I_{EWB}}{2qD_{nB} A_E N_A} \right) + \frac{w_B^2}{2L_{nB}^2} + \frac{sA_S w_B}{A_E D_{nB}}. \quad (2)$$

Panagrinėsime vidinių bazės sričių varžos įtaką tranzistoriaus veikai. Dalis emiterio įėjimo srovės bazės srityje sudaro bazės srovę I_B , įtekančią į tranzistorių per bazės srities kontaktą. Esant bet kokiai tranzistoriaus konfigūracijai, kai ominiai kontaktai išdėstomi bazės kraštuose, bazės srovė teka lygiagrečiai su emiterio ir kolektoriaus pn sandūromis. Dėl bazės sluoksnio specifinės varžos išilgai bazės srities krinta tam tikro dydžio įtampa, sudaranti grįžtamąjį ryšį emiterio pn sandūroje. Šis efektas įvertinamas kaip bazės varža r'_B ir galioja esant tiek nuolatinei, tiek kintamajai srovei. Ši bazės varža gali gerokai pakeisti tranzistoriaus darbo režimą.

Didžiausias potencialas susidaro labiausiai nuo bazės nutolusioje kontakto emiterio srityje. Tai gi tranzistoriaus bazės srityje vyksta srovės tankio persiskirstymas – vadinamasis srovės sutankėjimas.

Be to, vyksta emiterio srovės persiskirstymas bei sutankėjimas išilginiuose emiterio kraštuose. Šis efektas gali būti toks stiprus, kad srovės tankis emiterio viduryje tampa lygus nuliui, t.y. srovė visiškai neteka. Dažniausiai tai liečia aukštadažnius tranzistorius, kurių emiterio plotas labai mažas; čia maksimali srovė tiesiogiai proporcinga emiterio perimetrui, o ne plotui. Norint sėkmingai panaudoti šį efektą, projektuojami ne kvadratiniai, bet siauri ir ilgi tranzistoriai.

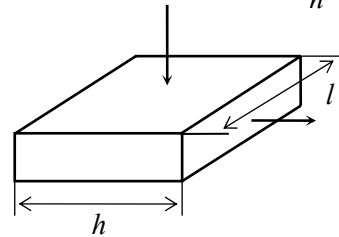
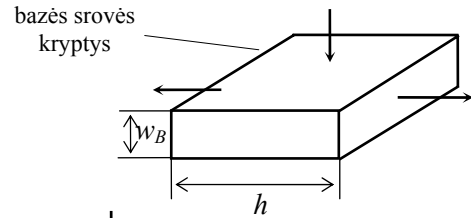
Norint įvertinti bazės varžą r'_B , reikia ištirti tranzistoriaus geometriją. Patogiausiu laikomas metodas, kai bazė suskaidoma į trimačius elementus, kurių varžą lengva apskaičiuoti. Paskui elementai sujungiami lygiagrečiai arba

nuosekliai, atsižvelgiant į tai, kaip tiksliau nustatoma varža r'_B .

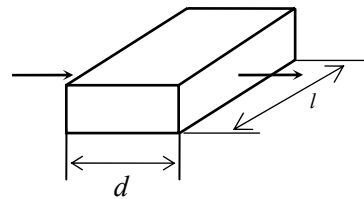
Aktyvioji bazės varža po emiterio sritimi gali būti aprašyta dviem išraiškomis, atsižvelgiant į bazės kontaktų skaičių.

Esant dviem bazės kontaktams bazės varža aprašoma taip:

$$R_B = \frac{\rho}{12w_B} \frac{h}{l}; \quad (1a)$$



$$R_B = \frac{\rho}{3w_B} \frac{h}{l}; \quad (1b)$$



$$R_B = \frac{\rho}{w_B} \frac{d}{l}; \quad (1c)$$

1 pav. Įvairių bazės srities formų pavyzdžiai: a - aktyvioji bazės varža po emiterio sritimi su dviem bazės kontaktais; b – aktyvioji bazės varža po emiterio sritimi su vienu bazės kontaktu; c - pasyvioji bazės varža nuo emiterio iki bazės kontaktų

Pasyvioji bazės varža atskaitoma nuo aktyviosios bazės srities iki bazės kontaktų (1 pav.,c):

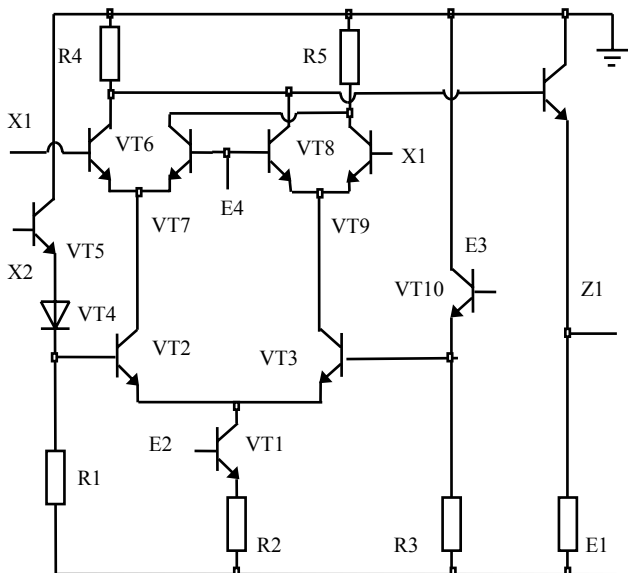
$$R_B = \frac{\rho}{w_B} \frac{d}{l}; \quad (3)$$

čia ρ – specifinė bazės varža ploto vienetui; w_B – bazės storis; h – emiterio plotis; l – emiterio ilgis; d – atstumas nuo emiterio iki bazės kontakto krašto. Esant dviem bazės kontaktams, pasyvosios bazės varžos jungiamos lygiagrečiai.

Norint ištirti bazės varžos įtaką ir jos priklausomumą schemoje nuo naudojamų topologinių piešinių konfigūracijos, buvo nagrinėjamas schemos stiprinimo koeficiento poveikio dydis bei topologinių piešinių konfigūracijų įtaka.

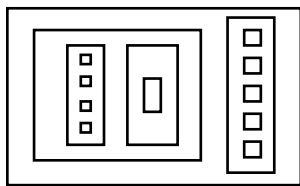
Modeliuota emiteriais sujungta loginė schema, tiriant penktą stiprinimo koeficiento variantų ir ketvirtą tranzistorių tipų. Pastebėta, jog stiprinimo koeficiento įtaka nėra tokia didelė, kaip manyta iš pradžių.

Taip pat buvo nagrinėtos šiuolaikinėse dvipolėse integrinėse schemose naudojamos kelių tipų tranzistorių konstrukcijos, nuo kurių labai priklauso tranzistoriaus greಿತaveika bei naudojamoji galia.

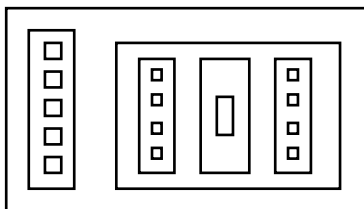


2 pav. Dvipolių tranzistorių schema, naudota modeliavimui

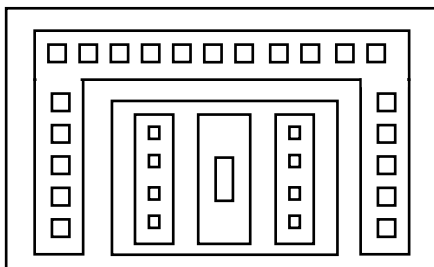
Pirmojo tipo tranzistoriuje naudojamas vienusis bazės kontaktas. Šiuo atveju bazės įtaka vienoje bazės pusėje stipresnė, srovės srautas mažesnis, todėl jos pasiskirstymas netolygus.



Antrojo tipo tranzistoriuje naudojami dvipusiai bazės kontaktai ir šiuo atveju srovė bazėje pasiskirsto tolygiau, tranzistoriaus kokybė daug geresnė.

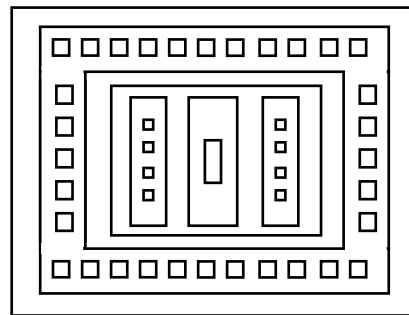


Trečiojo tipo tranzistorius suprojektuotas su kolektoriaus žiedu.



Šiuo atveju ne tik tolygiai paskirstoma bazės srovė po emiteriu, bet ir suaktyvinama kolektoriaus aplinka. Šio tipo tranzistorių tikslinga naudoti vidutinės galios schemose.

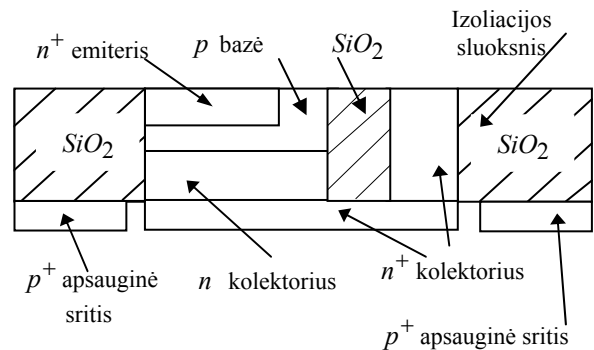
Tiek trečiojo, tiek ketvirtojo tranzistoriaus labai legiruoto žiedo konfiguracija smarkiai sumažina kolektoriaus varžą; lieka mažai legiruota sritis tarp bazės ir kolektoriaus žiedo ir po bazės sritimi. Tokie galingi mikrotranzistoriai naudojami išėjimo grandinėse.



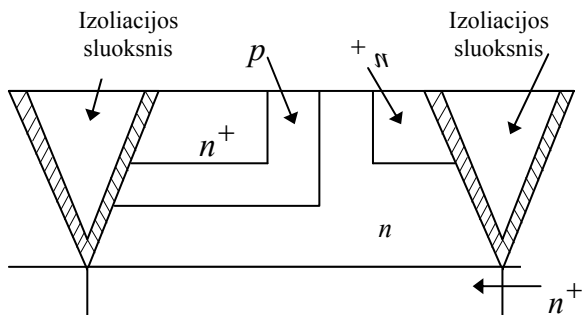
3 pav. Nagrinėjamų dvipolių tranzistorių topologiniai piešiniai

Modeliuojant šio tipo tranzistorius buvo išitikinta, kad jų konfiguracijos įtaka schemos charakteristikoms gerokai didesnė.

Nemažai įtakos taip pat turi ir tranzistorių technologijų rūšys. Optimaliomis laikomos izoplanarinės technologijos. Čia visiškai sumažintos tranzistoriaus pn sandūros, visas likusias sandūras atskiriant labai legiruoto n^+ silicio arba silicio oksido barjeriais. Galima naudoti epic-technologiją, kai tranzistorius nuo aplinkos atskiriamas plonu oksido sluoksniu, taip pat VIP technologiją, kai V tipo grioveliais, padengtais plonu oksidu ir užpildu, tranzistoriai atskiriami vienas nuo kito. Tačiau šių tranzistorių efektyvumas gerokai menkesnis.



4 pav. Izoplanarinė technologija



5 pav. VIP technologija

Išvados

1. Tyrinėta skirtingų tranzistorių struktūrų bei jų modelių įtaka tranzistorių charakteristikoms. Iširtos nagrinėjamų schemų charakteristikos ir nustatyta, jog didžiausią įtaką schemas kokybei bei charakteristikoms turi tranzistorių konfiguracija; tranzistorių stiprinimo koeficiento įtaka šiuo atveju yra gerokai mažesnė.

2. Didesniųjų matmenų tranzistoriais teka didelės galios mikrosrovės, tranzistorių greitaveika mažesnė dėl susidarančių RC grandinių, tačiau čia didesnė pasyviųjų bazės sričių įtaka, o jų kontaktų išdėstymas leidžia sumažinti parazitines varžas. Tai savo ruožtu didina schemas greitaveiką.

3. Išnagrinėjus keturių rūšių dvipolių tranzistorių technologijas, optimalia laikoma antroji izoplanarinė technologija. Šiuo atveju labai sumažėja tranzistoriaus plotas, parazitinės talpos bei darbinių sričių varžos, bet schemas greitaveika gerokai padidėja.

Literatūra

1. **Widmann, Dietrich.** Technology of Integrated Circuits. – 2000. – 508 p.

2. **Plummer, James D.** Silicon VLSI Technology: fundamentals, practice and modeling. - 2000. - 637 p.
3. **Nikolayev, Igor M.** Devices and Fundamentals of their Design. – 1989. – 377 p.
4. **Smith, Michael J.** Application-Specific Integrated Circuits. – 2000. – 1026.
5. **Goto S., Matsud T.** Layout Design and Verification - Vol.4. - New York: Elsevier. - 826 p.
6. **Šeinauskas R., Bareiša E., Benisevičiūtė R., Jusas V.** Naujos kartos elektroninių schemų projektavimo strategija // Elektronika ir elektrotechnika. - ISSN 1392-1215. - Kaunas: Technologija, 1999. - Nr.5(23). - P.12-18.
7. **Benisevičiūtė R., Butkus L.** The Analysis of the Design Methods of Integrated Circuit Layout // Informacinės technologijos ir valdymas. - ISSN 1392-124X. - 1999. - Nr.4(13). - P.38-46.
8. **Benisevičiūtė R., Griška L.** Nestandartinių KMOP integrintųjų schemų topologijos projektavimo aspektai // Elektronika ir elektrotechnika. - ISSN 1392-1215. - Kaunas: Technologija, 2001. - Nr.3(32). - P.73-77.
9. **Benisevičiūtė R., Šnirpūnas A.** Mechatroninių struktūrų ir jų topologijos projektavimo aspektai // Elektronika ir elektrotechnika. - ISSN 1392-1215. - Kaunas: Technologija, 2001. - Nr.6(35). - P.59-63.

Pateikta spaudai 2004 01 25

R. Benisevičiūtė, K. Paulikas. Dvipolių tranzistorių schemų projektavimo ypatumai // Elektronika ir elektrotechnika. - Kaunas: Technologija, 2004. - Nr. 4(53). - P. 51-54.

Nagrinėjamos įvairios galimos dvipolių tranzistorių struktūros, jų taikymo sritys ir galimybės. Pateiktas dvipolių ir KMOP schemų pranašumų ir trūkumų palyginimas. Tiriama automatizuoto integrintųjų schemų generavimo ir interaktyvaus schemų projektavimo procesai. Analizuojami pasirinkti dvipolių tranzistorių variantai. Vertinamas nagrinėjamų tranzistorių topologijų konstrukcijų užimamas plotas ir elektrinės charakteristikos. Nagrinėjamos šių tranzistorių taikymo sritys, įvertinant pagrindinių dvipolių tranzistorių charakteristikų sąryšį su jų topologija. Analizei pasirinkti skirtingų matmenų, konfigūracijos bei skirtingų modelių tranzistoriai. Modeliuojant elektrines schemas įvertinama tranzistorių topologijos ir naudojamų modelių įtaka tranzistorių greitaveikai. Taip pat pateikiamos ir lyginamos šiuolaikinės dvipolių tranzistorių technologijos. Il. 5, bibl. 9 (lietuvių kalba, santraukos lietuvių, anglų ir rusų k.).

R. Benisevičiūtė, K. Paulikas. The Specific Features of Bipolar Transistor Circuit Design // Electronics and Electrical Engineering. - Kaunas: Technologija, 2004. - No. 4(53). - P. 51-54.

Different possible structures of bipolar transistors, this application areas and capabilities are discussed. Comparison of bipolar and CMOS schematics advantages and drawbacks is provided. Automatic and interactive integrated circuit design processes are compared. Selected versions of bipolar transistors are analysed. By comparing area and electric properties of selected transistors their layouts are evaluated. Application possibility of these transistors are discussed and this evaluation is based on dependencies of basic bipolar transistor properties and this layout. Transistors with different dimensions, configuration and models are chosen for analysis. By simulation electric schematics with these transistors, impact of transistor layout and models used on transistor performance is estimated. Modern bipolar transistor technologies are also compared. Ill. 5, bibl. 9 (in Lithuanian, summaries in Lithuanian, English and Russian).

Р. Бенисевичюте, К. Пауликас. Особенности проектирования схем на биполярных транзисторах // Электроника и электротехника. - Каунас: Технология, 2004. – № 4(53). - С. 51-54.

Рассматриваются разновидности структур биполярных транзисторов; область их применения и возможности. Представляется сравнение превосходства и недостатков биполярных и КМОП интегральных схем. Исследуются процессы автоматического генерирования и интерактивного проектирования интегральных схем. Анализируются несколько подобранных вариантов биполярных транзисторов. Рассматриваются конструкции и топологии разных транзисторов: занимаемая площадь, электрические характеристики, связь между характеристиками биполярных транзисторов и топологическим рисунком. Представлены конструкции современных транзисторов. Для анализа подобраны транзисторы разных моделей и габаритов. Посредством моделирования электрических схем рассматривается влияние топологии и моделей на быстродействие транзисторов. Также представляются и сравниваются современные технологии биполярных транзисторов. Ил. 5, библи. 9 (на литовском языке; рефераты на литовском, английском и русском яз.).

DOI: 10.5755/j02.eie.10904