

## Lokalojo oksidavimo technologijos kokybės tyrimas

R. Anilionis, T. Keršys

Elektronikos inžinerijos katedra, Kauno technologijos universitetas

Studentų g. 50, 51368 Kaunas, Lietuva, tel. +370 37 300503, el. pastas romualdas.anilionis@ktu.lt; tomas.kersys@ktu.lt

### Įvadas

Puslaidininkinių integrinių grandynų (IG) elementai formuojami paviršiniame puslaidininkio padėklo sluoksnyje. Padėklas yra gana laidus srovei ir, jeigu to nepaisoma, tarp elementų atsiranda stiprūs parazitiniai ryšiai ir dėl to IG neveikia. Siekiant šiuos ryšius panaikinti arba gerokai susilpninti, elementus reikia izoliuoti viena nuo kito.

Izoliavimo metodų yra daug. Visus juos galima suskirstyti į tris pagrindines grupes: izoliavimas  $p$   $n$  sandūra, izoliavimas dielektrikais ir kombinuotas (LOCOS- local oxidation of silicon) izoliavimas. LOCOS technologija yra perspektyvi, todėl šiame straipsnyje patyrinėsimė jos kokybę.

### LOCOS technologija

LOCOS technologija priskiriama prie kombinuoto izoliavimo metodų, kai IG elementas iš apačios izoliuojamas  $pn$  sandūra, o iš šonų – dielektriku. Plačiau paplitusi BJT technologija [1], tačiau ji turi nemažą trūkumą, kurių yra išvengta LOCOS technologijoje.

LOCOS technologijoje naudojamos silicio plokštelės su plonu epitaksiniu sluoksniu, kuris ten, kur būtina izoliacija, yra kiaurai peroksiduojamas, naudojant apsauginę  $Si_3N_4$  kaukę. Silicio nitridas patikimai apsaugo Si sluoksnio paviršius nuo oksidavimosi ir yra pašalinamas fosforo rūgštimi, kuri nereaguoja su  $SiO_2$ .

Yra keletas pagrindinių LOCOS technologijos variantų. Išnagrinesime kai kurių variantų technologinius procesus.

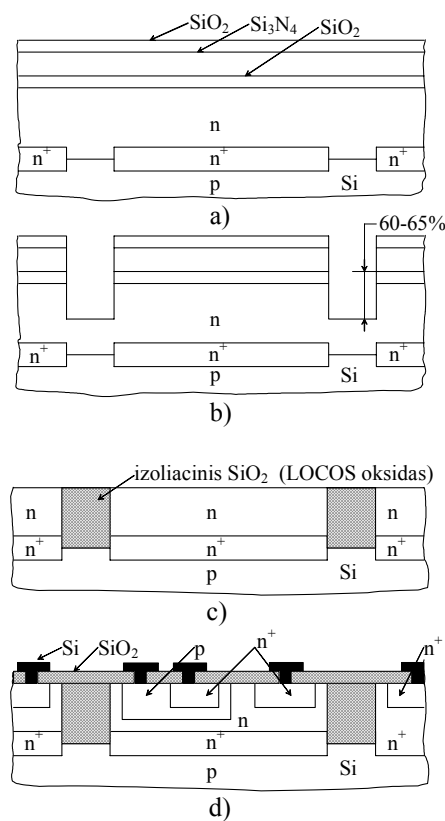
**Technologija LOCOS-1.** Jos eiga parodyta 1 pav. [2]. Pradžioje ant  $p$  laidumo padėklo formuojamas stibiu gausiai legiruotas  $n^+$  sluoksnis. Šiuo atveju galima naudoti jonų implantaciją arba difuziją. Paskui užauginamas plonas, 1-2  $\mu m$  storio, epitaksinis  $p$  laidumo sluoksnis. Optimaliu laikomas 1,25  $\mu m$  storio sluoksnis. Ant epitaksinio sluoksnio formuojamas  $SiO_2$ - $Si_3N_4$ - $SiO_2$  sluoksnis.

$Si_3N_4$  skirtas oksidavimo procesui lokalizuoti.

Pro viršutinį  $SiO_2$  sluoksnį – kaukę karšta fosforo rūgštimi lokaliai išdinamas  $Si_3N_4$ .  $Si_3N_4$  galima išdinti ir plazmoje. Tuomet viršutinis  $SiO_2$  sluoksnis nenaudojamas, o kaukę yra fotorezistas.

Pro apsauginį  $Si_3N_4$  sluoksnį išėsdinamas maždaug iki 60-65 % gylio epitaksinis Si sluoksnis. Paskui Si oksiduojamas iki viršaus, nes tik taip gali būti gaunamas lygus planarinis paviršius.

Toliau pagal jau žinomus technologinius procesus izoliuotose zonos formuojami IG elementai.

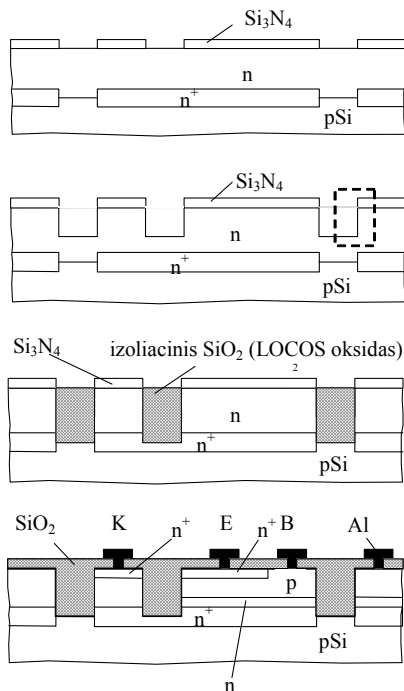


**1 pav.** Technologija LOCOS-1: a – padėklas su paslėptuoju epitaksiniu  $n^+$  ir apsauginiu  $SiO_2$ - $Si_3N_4$ - $SiO_2$  sluoksniais; b – 60-65 % išėsdintas epitaksinis Si sluoksnis; c – suformuotos izoliacinės  $SiO_2$  sritys; d – izoliuotoje zonoje suformuotas integrinis elementas

**Technologija LOCOS-2.** Šis variantas skiriasi nuo prieš tai aprašyto tuo, kad emiterių šoninės sritys išeina į izoliacinį  $SiO_2$  sluoksnį, o pokolektoriniai  $n^+$  sluoksniai, susiję su tranzistorine struktūra per paslėptąjį, gausiai legiruotą  $n^+$  sluoksnį, formuojami personalinėse izoliacinėse zonos.

Epitaksinio sluoksnio paviršiuje sudaromas apsauginis  $\text{Si}_3\text{N}_4$  sluoksnis, atliekamas lokalusis Si ėsdinimas ir oksidavimas, kaip ir atliekant tokias pat technologijos LOCOS-1 operacijas. Kitų technologinių operacijų seka priklauso nuo epitaksinio sluoksnio laidumo.

LOCOS-2 technologija, pagal kurią formuojami tranzistoriai su difuzine baze, parodyta 2 pav. Šiuo atveju auginamas  $n$  laidumo epitaksinio sluoksnis. Suformavus izoliacinį  $\text{SiO}_2$ , gaminama bazė. Tam  $\text{Si}_3\text{N}_4$  sluoksnyje padaromi langai ir atliekama akceptorinių priemaišų difuzija, tuo pačiu metu formuojami ir difuziniai rezistoriai. Vėliau pašalinamas  $\text{Si}_3\text{N}_4$ , paviršius termiškai oksiduojamas, padaromi langai emiteriui ir pokolektoziniam  $n^+$  sluoksniui. Procesas baigiamas metalizacija, o po jos - fotolitografija.



2 pav. Technologija LOCOS - 2 formuojami integriniai elementai

### LOCOS technologijos kokybės problemos

Pagrindinės problemos, su kuriomis susiduriama LOCOS technologijoje:

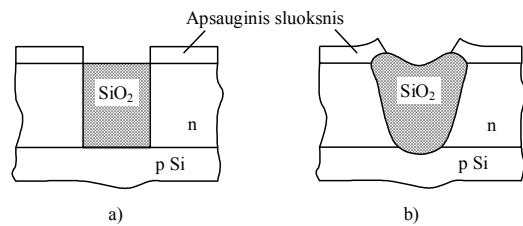
1)  $\text{Si}_3\text{N}_4$  sluoksnio cheminė struktūra nereguliari, jame pasitaiko kiaurymių, įtrūkimų, todėl į  $\text{Si}_3\text{N}_4$  formavimą būtina atkreipti ypatingą dėmesį;

2) atliekant Si oksidavimą, deguonies molekulės prasiskverbia po maskuojamuoju  $\text{Si}_3\text{N}_4$  sluoksniu, todėl paviršius darosi nelygus (3 pav.). Iškilimai gana dideli, iki 0,3-0,6  $\mu\text{m}$ . Patys iškilimai metalizacijos defektų nepadidina, bet pakelia  $\text{Si}_3\text{N}_4$ , kuriame atsiranda įtrūkimų, taip pat trukdo fotolitografijos procesui;

3) būtinas didelis epitaksinio Si sluoksnio storio pakartojamumas, tik tada galima kokybiškai izoliuoti IG elementus.

LOCOS technologijos pranašumas tas, kad: sumažėja kristalo plotas; supaprastėja fotošablonų sutapdinimo operacija; padidėja leistinas fotošablonų, naudojamų po izoliacinio fotošablono sluoksnio, defektų skaičius. Visi

defektai, kurie patenka ant suformuoto izoliacinio  $\text{SiO}_2$ , įtakos neturi; galima nepaisyti šoninės difuzijos efekto, nes šoninės sienelės yra iš  $\text{SiO}_2$ .

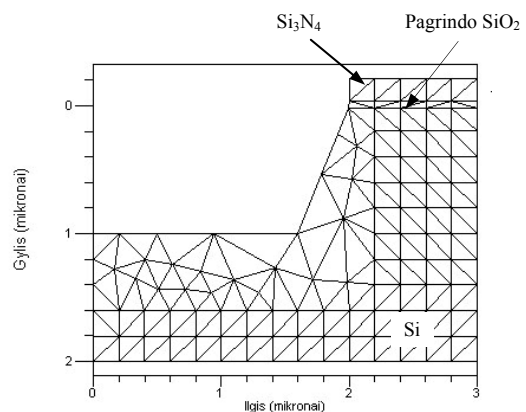


3 pav. Oksiduojamos srities profiliai: a – idealus; b – realus

### Si oksido augimo modeliavimas

Silicio oksido augimo proceso matematiniam modeliavimui naudojama programa SUPREM [3], kuri buvo pritaikyta silicio oksidacijos procesui modeliuoti, panaudojant tam tikrą paprogramį. Tada programoje SUPREM parenkamas konkretaus proceso algoritmas, pagal kurį bus atliekamas matematinis modeliavimas bei įvedami pagrindiniai ir šalutiniai parametrai, reikalingi skaičiavimams. Pagrindo oksido sluoksniui taikomas spūdziojo skysčio modelis, o izoliaciniam  $\text{SiO}_2$  sluoksniui - nespūdziojo klampaus skysčio modelis.

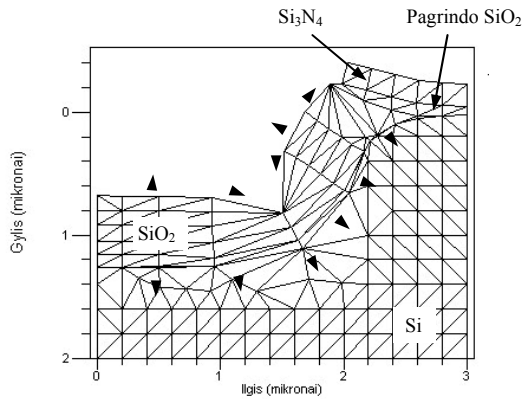
LOCOS technologijoje  $\text{SiO}_2$  atlieka tarpelementinės izoliacijos vaidmenį. Iš pradžių Si turi būti išėsdintas (padaromi grioveliai), o tik po to atliekama Si oksidacija pro  $\text{Si}_3\text{N}_4$  kaukę. Grioveliai silicyje visiškai užoksiduojami. Priklausomai nuo ėsdinimo technologijos gali būti gaunami skirtingų formų grioveliai. Programa SUPREM modeliuojamas oksidacijos procesas, esant išėsdinto griovelio formai, pateiktai 4 paveiksle.



4 pav. Epitaksiniam Si sluoksnyje išėsdintas griovelis (2 pav. punktyrine linija apibrėžta griovelio dalis)

Oksidacijos proceso metu per jau susidariusį  $\text{SiO}_2$  sluoksnį oksidantai skverbiasi gilyn, iki pat Si paviršiaus. Taip susidaro naujas  $\text{SiO}_2$  sluoksnis. Jis pakelia jau anksčiau susidariusi oksido sluoksnį kartu su  $\text{Si}_3\text{N}_4$ . Taip atsiranda įtempimai visoje struktūroje. 5 pav. rodyklėmis pavaizduotos silicio oksido augimo kryptys. Matyti, kad oksido sluoksnis plečiasi ne tik i viršų, bet ir į šonus. Dėl to kai kuriose vietose  $\text{SiO}_2$  yra tankesnis ir pro jį prasiskverbia vis mažiau deguonies molekulių. Tose vietose oksido augimo greitis yra mažesnis ir sluoksnyje atsiranda įdubimų. Augantis oksidas plečiasi į Si šonus ir į

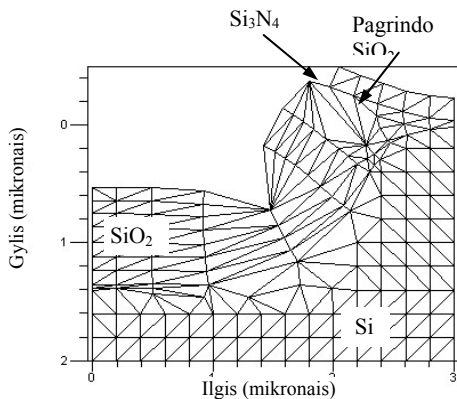
gylį, todėl įtempimų atsiranda ir pačiame Si. Dėl jų gali išsikraipyti jau suformuotos difuzinės sritys. Tai sukelia formuojamų integrinių elementų elektrinių parametru nuokrypius.



5 pav. Po 100 min susidaręs SiO<sub>2</sub> sluoksnis; oksidacijos proceso temperatūra 1000 °C

Dar vienas nepageidaujamas reiškinys - tai oksido palindimas po silicio nitrido sluoksniu. Oksidacijos metu deguonies molekulės palenda po maskuojamuoju Si<sub>3</sub>N<sub>4</sub> sluoksniu. Susidarantis SiO<sub>2</sub> pakelia Si<sub>3</sub>N<sub>4</sub>. Iškilimai padidina Si<sub>3</sub>N<sub>4</sub> sluoksnio įtempimus, dėl kurių atsiranda įtrūkimų. Oksidacijos proceso metu pro įtrūkimus gali patekti deguonies. Išsiskraipo izoliacinis LOCOS srities profilis.

Si oksido augimo greitis labai priklauso nuo temperatūros. Reguluojant oksidacijos proceso greitį, galima reguliuoti ir gaunamo LOCOS oksido sluoksnio profilį. Be abejo, oksidacijos reakcijos trukmė – taip pat labai svarbus reiškinys. 6 pav. pateikta Si oksidacijos metu susidariusio oksido sluoksnio profilis, susidaręs pakėlus oksidacijos reakcijos temperatūrą 1100°C. Epitaksiniam Si sluoksnyje išsėdintas griovelis yra tokio pat profilio, kaip parodyta 4 pav.

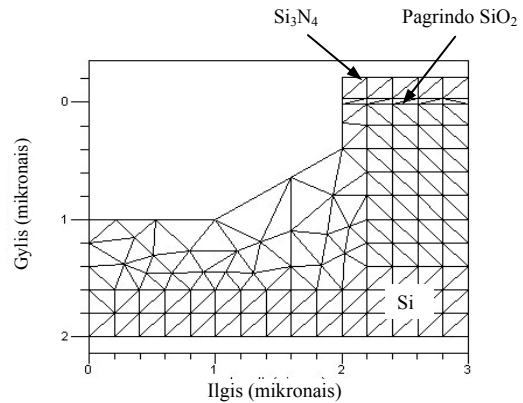


6 pav. Po 100 min susidaręs SiO<sub>2</sub> sluoksnis; oksidacijos proceso temperatūra 1100 °C

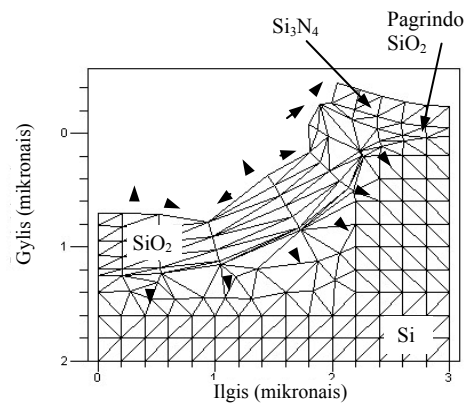
Palyginus 5 ir 6 paveikslus galima įsitikinti, kad, pakėlus oksidacijos proceso temperatūrą iki 1100°C, Si<sub>3</sub>N<sub>4</sub> yra labiau pakeltas tose vietose, kur susidarė SiO<sub>2</sub>, negu esant oksidacijos proceso temperatūrai 1000°C. Nepriklausomai nuo temperatūros įtempimai išlieka SiO<sub>2</sub>

sluoksnyje ir dėl jų SiO<sub>2</sub> storis darosi netolygus. Tai matyti ir 6 paveiksle.

Pakeitus epitaksiniam Si sluoksnyje išsėdinto griovelio konfiguraciją (7 pav.), gerokai pasikeitė ir SiO<sub>2</sub> augimas (8 pav.).



7 pav. Epitaksiniam Si sluoksnyje išsėdintas griovelis



8 pav. Po 100 min susidaręs SiO<sub>2</sub> sluoksnis; oksidacijos proceso temperatūra 1000 °C

Palyginus 5 ir 8 paveikslus matyti, kad esant kitokiai griovelio formai (7 pav.), SiO<sub>2</sub> sluoksnis pradeda augti kiek kitaip (8 pav.). Šiuo atveju įtempimai pasiskirto kitaip ir SiO<sub>2</sub> sluoksnio sutankėjimai gaunami jau dviejose vietose. Dėl skirtingo oksido augimo greičio SiO<sub>2</sub> sluoksnyje susidaro įdubimai, tačiau jų gylis yra mažesnis nei prieš tai pateiktame variante (5 pav.) ir SiO<sub>2</sub> sluoksnio storis yra tolygesnis per visą jo ilgį.

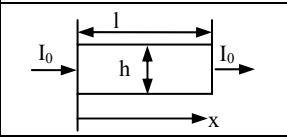
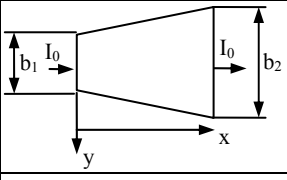
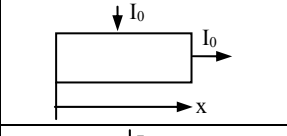
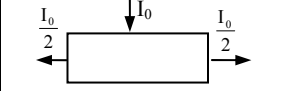
Iš pateiktų matematinio modeliavimo rezultatų matyti, kad oksidacijos procese svarbu kontroliuoti ne tik proceso temperatūrą ir laiką, bet ir prieš tai parinkti reikiamą griovelio formą epitaksiniam Si sluoksnyje, nes dėl to keičiasi SiO<sub>2</sub> augimo specifika.

### Si oksidacijos įtaka integrinių elementų elektriniams parametrams

Skaičiuojant integrinių elementų sluoksnių varžas, elementus reikia suskirstyti į atskiras dalis pagal srovės tekėjimo kryptis ir medžiagų kvadrato varžas. Bendra integrinio elemento varža gaunama sudedant atskirų jo dalių varžas.

1 lentelėje pateiktos matematinės išraiškos, pagal kurias galima apskaičiuoti tam tikros formos kūno varžą [1].

1 lentelė. Formulės tam tikros formos kūnų varžoms skaičiuoti

Laidaus kūno forma	Formulė varžai apskaičiuoti
	$r_0 = \frac{\rho l}{bh}$
	$r_0 = \frac{\rho l}{[h(b_2 - b_1)] \ln\left(\frac{b_2}{b_1}\right)}$
	$r_0 = \frac{\rho}{3b\left(\frac{l}{h} + \frac{h}{l}\right)}$
	$r_0 = \frac{\rho}{6b\left(\frac{l}{2h} + \frac{2h}{l}\right)}$

Čia  $\rho$  - medžiagos specifinė varža,  $\Omega \cdot \mu\text{m}$ ;  $h$  - kūno storis  $\mu\text{m}$ .

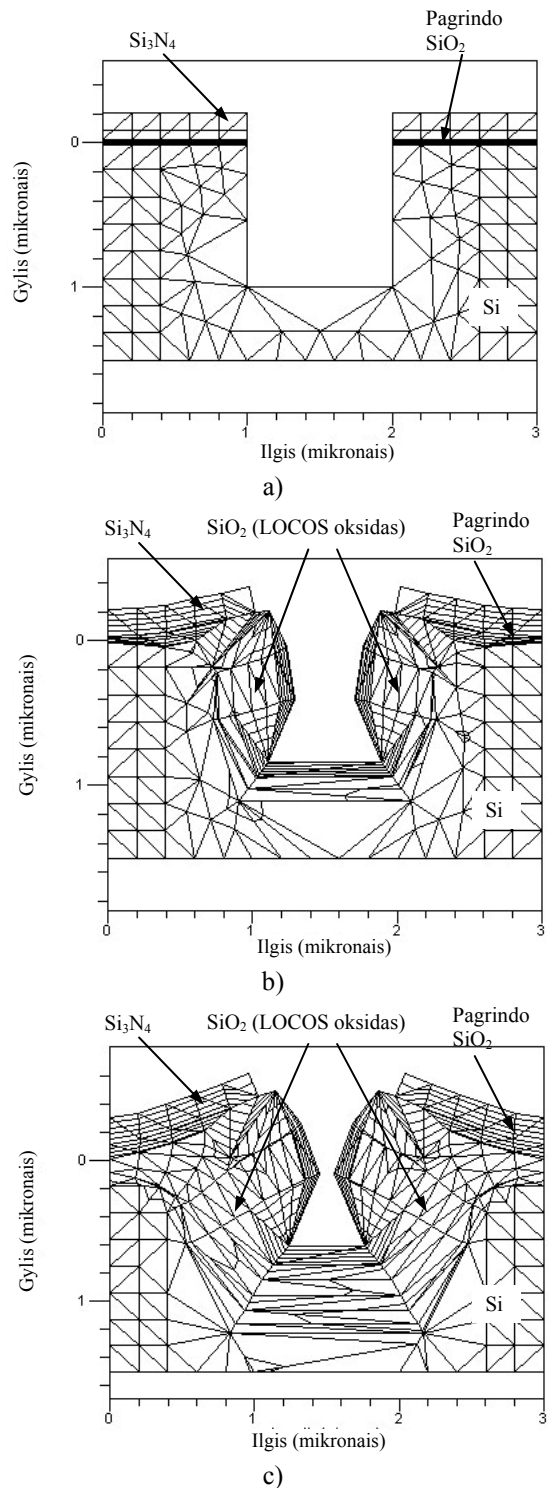
Panagrinėkime, kaip keisis integrinio tranzistoriaus kolektoriaus srities varžą, kintant šias sritis skiriančio  $\text{SiO}_2$  sluoksnio storiui.

Integrinio tranzistoriaus bazės srities atskyrimas nuo kolektoriaus srities  $\text{SiO}_2$  sluoksniu modeliuojamas programa SUPREM. Modeliavimo rezultatai pateikti 9 paveiksle.

Ant užauginto Si sluoksnio formuojamas pagrindo  $\text{SiO}_2$  sluoksnis, reikalingas sumažinti  $\text{Si}_3\text{N}_4$  sluoksnio įtempimams, dėl kurių atsiranda  $\text{Si}_3\text{N}_4$  sluoksnio defektai. Pagrindo oksido sluoksnis gaunamas  $1000^\circ\text{C}$  temperatūroje oksiduojant Si, sausame deguonyje. Reakcijos trukmė 30 min. Oksidacija sausame deguonyje naudojama norint gauti pakankamai ploną ( $\sim 0,06\mu\text{m}$ ), mažiau defektų turinti pagrindo oksido sluoksnį. Ant pagrindo oksido formuojamas  $\text{Si}_3\text{N}_4$  sluoksnis, kurio storis  $\sim 0,18\mu\text{m}$ . Silicio nitridas patikimai saugo Si paviršių nuo oksidavimosi, be to, yra lengvai pašalinamas. Paskui  $\text{Si}_3\text{N}_4$ ,  $\text{SiO}_2$ , Si sluoksniai išdinimami ir oksiduojami. Šiuo atveju oksidacijos procesas vyksta drėgname deguonyje  $1000^\circ\text{C}$  temperatūroje.

Pasinaudoję atliktais modeliavimo rezultatais, apskaičiuojame kolektoriaus srities varžą. Augantis  $\text{SiO}_2$  plečiasi į kolektoriaus ir bazės sritis mažindamas jų plotą, o kartu didindamas perėjimo tarp bazės ir kolektoriaus varžą. Kolektoriaus srities varžą realiu atveju yra 10 % didesnė negu idealiu atveju, kai oksidas į šonus nesiplečia.

Taip pat svarbu atkreipti dėmesį į tai, kad augantis  $\text{SiO}_2$  gali sudaryti tuštumas (9 pav., c), į kurias kitų technologinių operacijų metu patenka fotorezistas, šlakai ir kitos medžiagos. Kad neatsirastų tuštumų, reikėtų susidarymo okside, reikėtų pakeisti užoksiduojamų griovelių formą. Tada pasikeičia  $\text{SiO}_2$  augimo specifika.



9 pav. Bazės srities atskyrimo nuo kolektoriaus srities  $\text{SiO}_2$  sluoksniu matematinio modeliavimo rezultatai: a - oksidacijos reakcijos pradžia; b - po 1,6 h; c - po 5 h

## Išvados

1. LOCOS technologija naudojama siekiant labiau sutankinti elementus integrinėse mikroschemose, tačiau susiduriama su pagrindine problema – Si lokaliaja oksidacija ir Si paviršiaus profilio geometrija.

2. Iš pateiktų matematinio modeliavimo rezultatų matyti, kad oksidacijos procese svarbu optimizuoti ne tik proceso temperatūrą ir laiką, bet ir prieš tai parinkti

reikiamą griovelio formą epitaksiniam Si sluoksnyje, nes dėl to keičiasi SiO<sub>2</sub> augimo profilis. Priimtinausias yra trapecijos formos griovelis.

3. Lokaliajam Si oksidavimui LOCOS technologija yra priimtinausia, kai oksidacija vyksta drėgname deguonyje, esant 1100°C temperatūrai.

4. Augantis SiO<sub>2</sub> plečiasi į gretimas difuzines sritis mažindamas jų plotą. Dėl to kolektoriaus srities varža padidėja apie 10 %, palyginti su idealiu atveju, kai oksidas į šonus nesiplečia.

## Literatūra

1. **N. Bagdonavičius, R. Anilionis.** BJT technologijos kokybės tyrimas // Elektronika ir elektrotechnika. – Kaunas: Technologija, ISSN 1392-1215.2002.- Nr. 5(40). – P. 25 – 28.
2. **Stephen A. Campbell.** The Sciences and Engineering of Microelectronic Fabrication. – ISBN 0-19-513605-5. – New York: Oxford University Press, 2001. – P. 68-95, 404-407.
3. SUPREM matematinio modeliavimo programa. Iš Stenfordo Universiteto oficialaus puslapio internete [interaktyvus]. 2004. Prieiga per Internetą: <<http://www-tcad.stanford.edu>>.

Pateikta spaudai 2004 03 01

**R. Anilionis, T. Keršys. Lokaliajo oksidavimo technologijos kokybės tyrimas // Elektronika ir elektrotechnika. – Kaunas: Technologija, 2004. – Nr. 4(53). – P. 46-50.**

Išnagrinėtos LOCOS technologijos problemos, susijusios su lokaliuoju epitaksinio sluoksnio peroksidavimu. Daugiausia problemų kyla dėl oksiduojamo paviršiaus nelygumų. Naudojant programą SUPREM atliktas lokaliajo SiO<sub>2</sub> sluoksnio augimo matematinis modeliavimas. Apskaičiuoti LOCOS oksido profiliai, priklausomai nuo griovelio formos epitaksiniam sluoksnyje, taip pat nuo oksidavimo proceso technologinių režimų: temperatūros ir laiko. Nustatyta, kad priimtinausi rezultatai gaunami, kai griovelis yra trapecijos formos, oksidacija vyksta drėgname deguonyje, esant 1100 °C temperatūrai. Il. 9, bibl. 3 (lietuvių kalba, santraukos lietuvių, anglų ir rusų k.).

**R. Anilionis, T. Keršys. The Analysis of Quality of Technology of Local Oxidation // Electronics and Electrical Engineering. – Kaunas: Technologija, 2004. – No. 4(53). – P. 46-50.**

Problems of technology LOCOS, related with local oxidation of a epitaxial layer was researched. A lot of problems arise because of an irregularity of an oxidized surface. Using program SUPREM, mathematical modeling of local growth of silicon is carried out. Designed profiles of oxide LOCOS, depending from hole in a epitaxial layer, and also from operating conditions of oxidation: temperature and time. It is determined, that most acceptable results are received when the form of hole is similar to a trapezoid, and oxidation descends in wet oxygen, at 1100 °C. Ill. 9, bibl. 3 (in Lithuanian, summaries in Lithuanian, English and Russian).

**Р. Анилёнис, Т. Кяршис. Исследование качества технологии локального окисления // Электроника и электротехника. – Каунас: Технология, 2004. – № 4(53). С. 46-50.**

Исследованы проблемы технологии LOCOS, связанные с локальным окислением эпитаксиального слоя. Множество проблем возникают из-за неровности окисляемой поверхности. Используя программу SUPREM проведено математическое моделирование локального роста SiO<sub>2</sub>. Определены наиболее приемлемые режимы технологического процесса локального окисления. Рассчитаны профили оксида LOCOS, принадлежащие от ямки в эпитаксиальном слою, а также от режимов технологического процесса окисления: температуры и времени. Определено, что наиболее приемлемые результаты получаются, когда форма ямки похожа на трапецию, окисление происходит во влажном кислороде при 1100 °C. Ил. 9, библи. 3 (на литовском языке; рефераты на литовском, английском и русском яз.).

