

Analoginės atminties schemos parametrų skaičiavimas signalo laikymo veikoje

A. Marcinkevičius, V. Jasonis

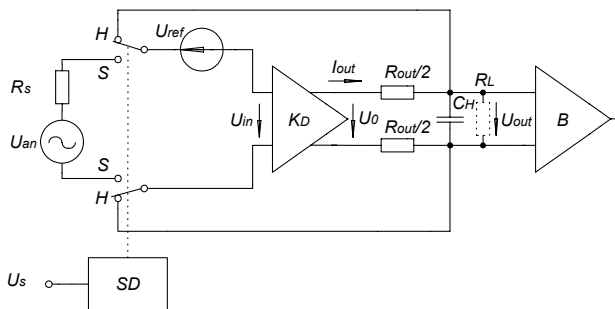
Vilniaus Gedimino technikos universitetas, Kompiuterių inžinerijos katedra, Naugarduko g. 41,437 k., LT-03227 Vilnius, Lietuva. Tel. +370 5 2744772, el. p.: Albinas.Marcinkevicius@el.vtu.lt; Vaidas.Jasonis@el.vtu.lt

Įvadas

Imties ir laikymo schemos (ILS) naudojami sparčių analoginių skaitmeninių keitiklių (ASK) tikslumui ir stabilumui padidinti [1–7]. ILS nuskaito įėjime veikiančio analoginio signalo momentinę vertę ir laiko ją tam tikrą laiką, lygų ASK keitimo trukmei. Šios schemos elektrinių charakteristikų skaičiavimas ir dinamikos modeliavimas, esant skirtingoms darbo veikoms, yra sudėtingas ir literatūroje dar nepakankamai išnagrinėtas. Darbuose [4–7] pateiktas ILS apertūrinių paklaidų dažninių charakteristikų modeliavimas įvertinant strobavimo signalo ir triukšmo dinaminių parametrų įtaką. Šio darbo tikslas – išnagrinėti pagrindinių schemos elektrinių parametrų įtaką transformuoto signalo formai informacijos laikymo veikoje. Siekiant šio tikslo, straipsnyje pateikiami grandinių modeliai laikymo veikoje ir nagrinėjama dinaminių charakteristikų priklausomybė nuo schemos inertiškumo parametrų, išvedamos lygtys signalo transformavimo paklaidoms ir formai apskaičiuoti. Pateikiami ILS modeliavimo rezultatai.

Dalinio ILS modelio analizė

Imties ir laikymo schemos modelis signalo laikymo veikoje pavaizduotas 1 pav.



1 pav. ILS dalinio modelio schema signalo laikymo veikoje

Būdingi modelio elementai šie: K_D – vienetinio stiprinimo diferencialinis stiprintuvas su grįžtamoju ryšiu, įėjimo įtampa U_{in} ir atramine įtampa U_{ref} ; analoginio signalo vertės laikymo kondensatorius, kurio talpa C_H ; elektroninis raktas SD , valdomas strobavimo impulsais U_s , ir buferinė pakopa, kurios įėjimo varža R_L .

Imties veikoje stiprintuvas prijungiamas prie analoginio signalo šaltinio įtampos U_{an} su maža išėjimo varža R_s . Kondensatorius imties veikoje įkraunamas iki įtampos $U_{C_H} = U_{out}$. Kondensatoriaus įkrovimo trukmės pastovioji

$$\tau_{C_H} \approx R_p C_H; \quad (1)$$

čia

$$R_p \approx \frac{R_L \cdot R_{out}}{R_L + R_{out}}, \quad (2)$$

R_{out} – stiprintuvo KD išėjimo varža,

R_L – stiprintuvo B įėjimo varža.

Laikymo veikoje įtampa $U_{C_H} = U_{out}$ stiprintuvo K_D grįžtamoju ryšiu palaikoma pastovi. Kondensatoriaus įtampa U_{C_H} nesikeis, jeigu stiprintuvo perdavimo koeficientas K bus lygus vienetui. Praktiškai stiprintuvo stiprinimo koeficientas skirsis nuo vieneto dydžiu ΔK .

Taigi

$$K = \frac{U_{C_H}}{U_{in}} = 1 \pm \Delta K. \quad (3)$$

Tuomet diferencialinė lygtis

$$\frac{dU_{out}(t)}{dt} - \frac{\Delta K}{\tau_{C_H}} U_{out}(t) = 0 \quad (4)$$

aprašo kondensatoriaus įtampos kitimą pagal tokią formulę:

$$U_{out}(t) = U_{out}(0)e^{\frac{\Delta K}{\tau C_H} t} \quad (5)$$

Realus stiprintuvo stiprinimo koeficientas

$$K_0 = \frac{U_0}{U_{in}} = (1 + \Delta K) \frac{R_{out} + R_L}{R_L} \quad (6)$$

Įvertinę grįžtamojo ryšio kilpos atraminę įtampą U_{ref} , gausime:

$$K_0[U_{out}(t) + U_{ref}] - R_{out}i_{out} = U_{out}(t) \quad (7)$$

Srovė išėjime

$$i_{out} = C_H \frac{dU_{out}(t)}{dt} + \frac{U_{out}}{R_L} \quad (8)$$

Tuomet galima užrašyti diferencialinę lygtį:

$$\frac{dU_{out}(t)}{dt} - \frac{\Delta K}{\tau C_H} U_{out}(t) = \frac{1 + \Delta K}{\tau C_H} U_{ref} \quad (9)$$

Kadangi $\Delta K \ll 1$, (9) lygties sprendinys, įvertinus (5), yra toks:

$$U_{out}(t) = \left[U_{out}(0) + \frac{U_{ref}}{\Delta K} \right] e^{\frac{\Delta K}{\tau C_H} t} - \frac{U_{ref}}{\Delta K} \quad (10)$$

Matome, kad laiko konstanta laikymo režimu padidėja $\frac{1}{\Delta K}$.

Įtampos kitimo sparta kondensatoriuje laikymo veikoje

$$g = \left. \frac{dU_{out}(t)}{dt} \right|_{t=0} = U_{out}(0) \frac{\Delta K}{R_p C_H} + \frac{U_{ref}}{R_p C_H} \quad (11)$$

Apibendrintojo ILS modelio analizė

Apibendrintasis ILS modelis įvertina elektrinės schemos ir strobavimo impulsų parametrų įtaką išėjimo signalo formai. Apibendrintoji ILS struktūrinio modelio schema pateikta 2 pav.

Modelį sudaro: diferencinis stiprintuvas DS, kurio perdavimo koeficientas AD, srovės raktas AS, srovės veidrodis Am, buferinis stiprintuvas AB ir imties kondensatorius, kurio talpa CH. Poveikiai: įėjimo signalas $U_x(t)$ su šaltinio varža R_x , strobavimo impulsų įtampa $U_{str}(t)$, atraminė įtampa U_{ref} ir srovės šaltinis I_1 .

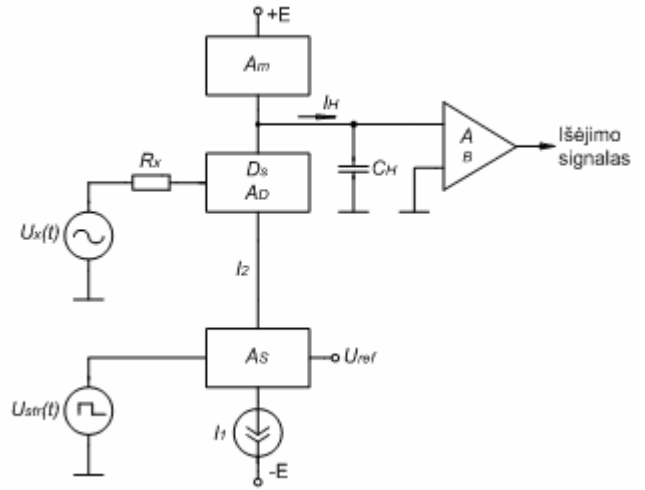
Kondensatoriaus įtampa

$$U_H(t) = f[I_H(t), C_H]; \quad (12)$$

čia $I_H(t)$ – srovė, kuri įkrauna kondensatorių C_H .

Srovės $I_H(t)$ lygtį galima užrašyti taip [6]:

$$I_H(t) \cong A_D I_2(t) \operatorname{th} \left[\frac{U_{str}(t)}{2\varphi_T} \right]; \quad (13)$$



2 pav. Apibendrinta ILS modelio schema

čia $I_2(t)$ – raktas A_S srovė; φ_T – tranzistoriaus emiterio sandūros temperatūrinis potencialas.

Rakto srovė išreiškiama tokia formule:

$$I_2(t) = A_S I_1 \left\{ 1 + \exp \left[\frac{U_S(t)}{2\varphi_T} \right] \right\}^{-1} \quad (14)$$

Kondensatoriaus C_H įtampa per laiko intervalą, lygų strobavimo impulso fronto ilgiui, t. y. kai $t \approx \tau_{strob}$, pasikeis dydžiu

$$\Delta U_{C_H} = \frac{1}{C_0} \int_{-\frac{\tau_{str}}{2}}^{\frac{\tau_{str}}{2}} I_H(t) dt \quad (15)$$

Irašę (14) lygtį į (13) ir į (15), gautume įtampos išraišką:

$$\Delta U_{C_H} = \frac{2A_S A_D I_1}{C_0} \int_0^{\tau_{str}} \frac{\operatorname{th} \left[\frac{U_x(t)}{2\varphi_T} \right]}{1 + \exp \left[\frac{U_{str}(t)}{2\varphi_T} \right]} dt \quad (16)$$

Tare, kad $U_x(t) \cong \alpha_x t$, $U_{str}(t) \cong \alpha_{str} \cdot t_a$, $\operatorname{th} x \approx -e^{-\sqrt{2}x}$, gautume:

$$\Delta U_{C_H} = \frac{A_S A_D I_1 \varphi_T \alpha_x}{C_0 \alpha_{str}^2} \times \left\{ \left[1 + \exp \left(-\frac{\sqrt{2} \alpha_{str} \tau_{str}}{8\varphi_T} \right) \right] \cdot \left[\frac{\sqrt{2} \alpha_{str} \tau_{str}}{8\varphi_T} - 1 \right] \right\}; \quad (17)$$

čia α_x , α_{str} – signalo ir strobavimo impulsų fronto didėjimo sparta.

Tare, kad $A_S \approx A_D \approx A_0$, $\frac{\alpha_{str} \cdot \tau_{str}}{\varphi_T} \gg 1$, iš (17)

gautume supaprastintą lygtį įtampos pokyčiui apskaičiuoti:

$$\Delta U_{C_H} \approx \frac{A_0^2 I_1 4 \varphi_T \alpha_x}{C_H \alpha_{str}^2}. \quad (18)$$

Kai $\alpha_x \approx U_m \omega_x$, sinusinio signalo santykinė apertūrinė paklaida laikymo veikoje

$$\delta_a = \frac{\Delta U_{C_H}}{U_m} = \frac{A_0^2 I_1 4 \varphi_T \omega_x}{C_H \alpha_{str}^2} \approx \frac{K_2}{C_H}. \quad (19)$$

Dinaminė paklaida imties veikoje išreiškiama tokia formule [6]:

$$\delta_d = \frac{\omega_x C_H r_c (R_E + R / \beta)}{3 R_E + R} \approx K_1 C_H. \quad (20)$$

Visa dinaminė paklaida

$$\begin{aligned} \delta_{dE} = \delta_g + \delta_a &= \frac{A_0^2 I_1 4 \varphi_T \omega_x}{C_H \alpha_x^2} + \frac{\omega_x C_H r_c (R_E + R_x / \beta)}{3 R_E + R_x} = \\ &= K_1 C_H + K_2 C_H^{-1}. \end{aligned} \quad (21)$$

Tuomet apibendrinta talpa imties ir laikymo veikoms

$$C_H^* \cong \sqrt{\frac{K_2}{K_1}} \approx \frac{2 A_0}{\alpha_{strob}} \sqrt{\frac{I_1 \varphi_T (3 R_E + R_x)}{r_c (R_E + \frac{R_x}{\beta})}}. \quad (22)$$

Optimali talpa, kuriai esant dinaminė imties ir laikymo schemas paklaida minimali, apskaičiuojama taip:

$$C_{Hd} = \sqrt{\frac{\tau_v T_E (3 R_E + R_x)}{r_c (R_E + R_x / \beta)^2}}. \quad (23)$$

Palyginę (22) ir (23) lygčių dešiniąsias puses, gausime formulę strobavimo impulso fronto statumui apskaičiuoti:

$$\alpha_{str,opt} = 2 A_0 \sqrt{\frac{I_1 \varphi_T}{2 \tau_v T_E} (R_E + R_x / \beta)}; \quad (24)$$

čia τ_v – imties trukmė;

τ_B – buferinio stiprintuvo laiko pastovioji;

R_E – operacinio stiprintuvo emiterio varža;

$\beta \gg 1$ – buferinio stiprintuvo tranzistorių stiprinimo koeficientas.

Galima parodyti, kad schemoje su buferiniu stiprintuvu kondensatoriaus įtampa laikymo veikoje apskaičiuojama pagal tokią formulę:

$$U_{C_H}(t) = \frac{I_1 r_B C_H}{2(C_0 + C_K / 2)} +$$

$$\frac{(1 + \alpha) I_{E0} \tau_{N0E} \ln(1 + \frac{I_{E0}}{2 \varphi_T \beta C_E} t) - I_x t}{2 C_0 + C_E}; \quad (25)$$

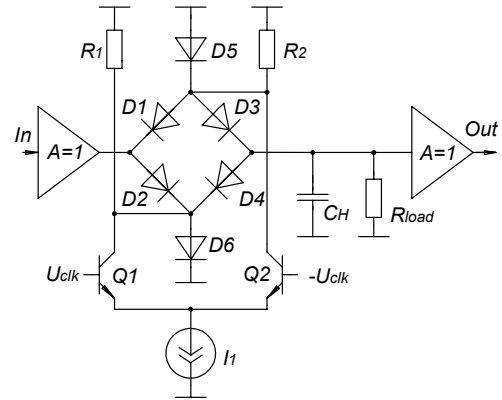
čia τ_{N0E} – tranzistoriaus schemoje su bendru emiteriu laiko pastovioji.

(25) formulę galima užrašyti ir tokiu pavidalu:

$$U_{C_H}(t) = \frac{I_1 r_B C_0}{2(C_0 + C_K / 2)} + \frac{\alpha I_E \tau_{N0E} \ln(1 + \frac{I_E}{\varphi_T C_E} t)}{C_0 + C_E}. \quad (26)$$

Modeliavimo rezultatai

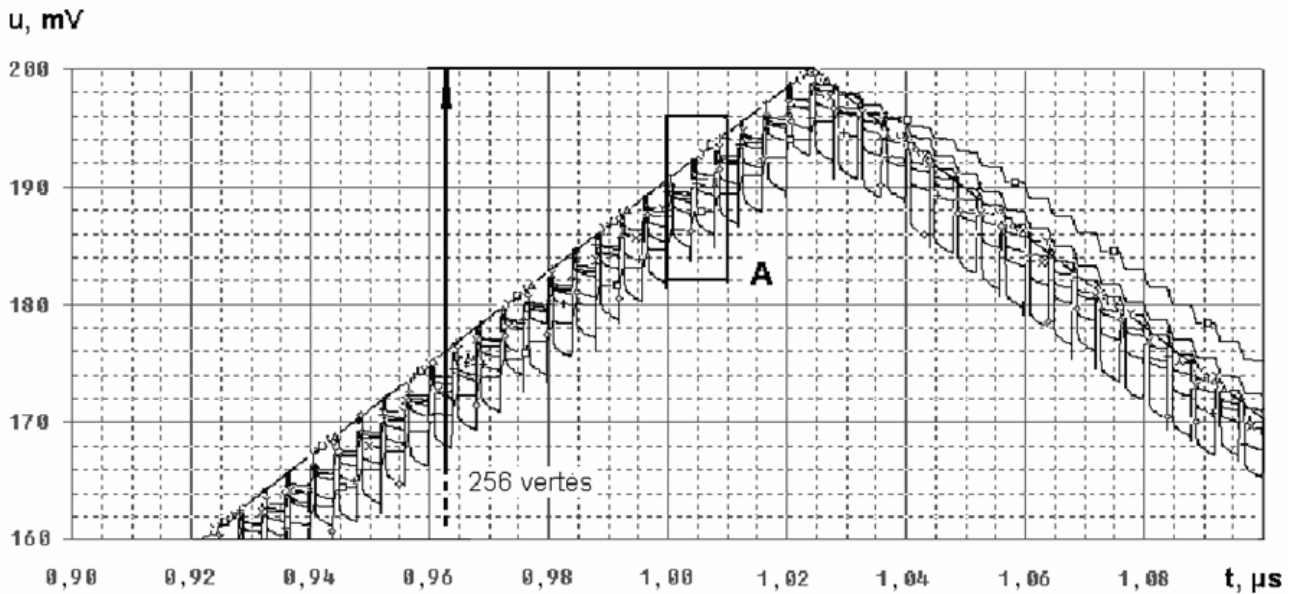
Pasinaudojant paketu P-Spice, sumodeliuota transformuota imties ir laikymo grandinė su diodų tiltelio raktu [7]. Raktas su diodais esti ypač greitaveikis, kai įėjimo ir išėjimo buferiai yra atvirosios kilpos kartotuvai, o diodai – Šotki. Supaprastinta imties ir laikymo schema su diodų tiltelio raktu pateikta 3 pav.



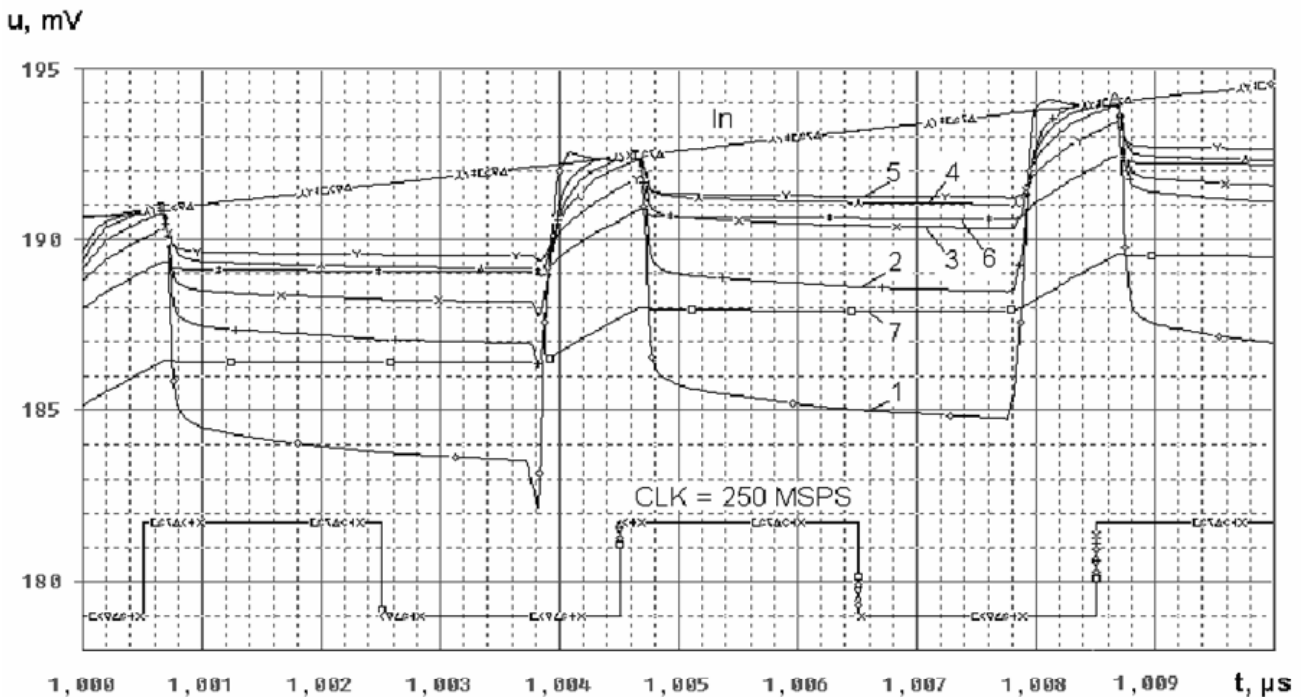
3 pav. Supaprastinta imties ir laikymo schema su diodų tilteliu

Modeliavimo sąlygos: analoginė įėjimo įtampa pjūklų formos; amplitudė $\pm 200 \text{ mV}$. Strobavimo impulsų dažnis 250 MHz , skilčių skaičius – 8 bitai, t. y. $2^8 = 256 \text{ ŽSV}$ (žemiausiosios skilties vertės). Transformuoto signalo laiko diagramos, esant įvairioms laikymo kondensatoriaus vertėms (1, 2, 3, 5, 10, 20, 50) pF ir apkrovos varžai $R_{load} = 1 \text{ M}\Omega$, parodytos 4 paveiksle.

Įtampa U_{C_H} priklauso nuo laiko pastoviosios τ_{C_H} . Transformuoto signalo fragmentas, esant įvairioms laikymo laiko konstantoms τ , pavaizduotas 4 ir 5 paveiksluose.



4 pav. Sumodeliuotos imties ir laikymo schemos laiko diagramos. Čia A – signalų dalis, parodoma padidinta kitame paveiksle



5 pav. Imties ir laikymo schemos modeliavimo rezultatai. Čia CLK – valdymo signalas; In – įėjimo signalas; I – išėjimo signalas, kai laikymo laiko konstanta $\tau = 1 \mu\text{s}$; $2 - \tau = 2 \mu\text{s}$; $3 - \tau = 3 \mu\text{s}$; $4 - \tau = 5 \mu\text{s}$; $5 - \tau = 10 \mu\text{s}$; $6 - \tau = 20 \mu\text{s}$; $7 - \tau = 50 \mu\text{s}$

Kad būtų vaizdžiau, valdymo (strobavimo) impulsų amplitudė sumažinta ir šis signalas perstumtas įtampos ašyje.

Matome, kad, esant laikymo kondensatoriaus talpai $CH = 10 \text{ pF}$, schemos išėjimo signalas geriau seka įėjimo signalą (nuokrypis neviršija žemiausiosios skilties vertės). Kai $CH = 20 \text{ pF}$, išėjimo signalas yra mažesnės amplitudės ir suvėlintas. Kadangi schemos, einančios po imties ir laikymo grandinės (pvz., komparatoriai), valdomos taktavimo impulsais, signalo vėlinimas nėra reikšmingas. Valdymo impulsus galima parinkti taip, kad komparatoriai suveiktų palankiausiu laiko momentu. Jeigu imties ir

laikymo schema slopina signalą, jį galima atkurti koreguojančiuoju stiprintuvu. Taip pat imties ir laikymo schemai reikalinga apkrova su didele varža. Praktiškai tai reiškia, kad būtina panaudoti buferines schemas – emiterinius kartotuvus arba operacinius stiprintuvus su vienetiniu stiprinimo koeficientu.

ILS buvo sumodeliuota panaudojant integrinį dvipolių tranzistorių $0,5 \mu\text{m}$ technologijos SPICE modelius.

Schemos parametrai, esant skirtingoms laikymo trukmės konstantoms τ , pateikti 1 lentelėje.

1 lentelė. Imties ir laikymo schemos parametrai

τ , μs	Iėjimo signalo kitimo sparta, $\text{V}/\mu\text{s}$	Įtampos U_{C_H} kitimo sparta, $\text{V}/\mu\text{s}$	Paklaida, ŽSV
1	0,4	0,400	7
2	0,4	0,150	4
3	0,4	0,075	2
5	0,4	0,055	1,5
10	0,4	0,045	1
20	0,4	0,033	1,5
50	0,4	0,025	4

Strobavimo impulsų dažnis priklauso nuo keitiklio skilčių skaičiaus ir analoginio signalo spektro aukščiausiojo dažnio. Norint padidinti skilčių skaičių arba keitiklio tikslumą (esant tam pačiam signalo spektrui), reikia didinti strobavimo impulsų dažnį. Taigi, ILS veikimo spartą galima padidinti tik sumažinant jos tikslumą.

Išvados

Sudaryti imties ir laikymo schemos modeliai. Išvestos analitinės išraiškos transformuoto signalo formai apskaičiuoti.

Gautos lygtys dinaminėms paklaidoms ir optimalioms laikymo kondensatoriaus talpoms laikymo veikoje apskaičiuoti.

Atliktas imties ir laikymo schemos su tilteline rakto schema modeliavimas. Gautos imties ir laikymo grandinės perdavimo charakteristikos esant įvairioms laiko pastoviosioms, kurios parodo transformuoto signalo

įtampos laikymo veikoje nuokrypius nuo analoginio signalo vertės.

Literatūra

1. Lee T.S., Lu C.C., Yu S.H., Zhan J.T. A Very-High-Speed Low-Power Low-Voltage Fully Differential CMOS Sample-and-Hold Circuit with Low Hold Pedestal // IEEE International Symposium on Circuits and Systems ISCAS – 2005. – Vol. 4. – P. 3111 – 3114.
2. Yang C.Y., Hung C.C. A Low – Voltage Low Distorsion MOS Sampling Switch // IEEE International Symposium on Circuits and Systems ISCAS. – 2005. Vol. 4. – P. 3131 – 3134.
3. Marcinkevičius A., Jasonis V. Analoginių informacijos keitiklių išrinkimo ir saugojimo schemos dinaminė charakteristikų skaičiavimas // Elektronika ir elektrotechnika. – Kaunas: Technologija, 2004. – Nr. 5(54). – P. 23 – 26.
4. Marcinkevičius A., Jasonis V. Calculation of dynamic parameters of analog signal's discretisator // Электроника и связь. Тематический выпуск „Проблемы электроники“. – Киев, 2005. – ч. 2. – С. 98 – 102.
5. Petschacher R., Zojer B., Astegher B., and others. A 10–b 75–MSPS Subranging A/D Converter with Integrated Sample and Hold // IEEE Journal of Solid – State Circuits. 1990. –Vol. 25, – No. 6. – P. 1339 – 1346.
6. Melnikov B. N., Abraitis V. B. Динамические погрешности УВХ при переходе из режима выборки в режим хранения // Радиоэлектроника. – Kaunas. – 1994. – Т. 30, Nr. 1.– P. 59 – 67.
7. Melnikov B. N., Makrov V. E., Jakšto J. G. Коррекция погрешности преобразования сигнала быстродействующего устройства выборки и хранения // Радиоэлектроника. – Kaunas. 1992. – Т. 28, Nr. 2.– P. 26 – 33.

Pateikta spaudai 2005 12 30.

A. Marcinkevičius, V. Jasonis. Analog Memory Circuit Parameters Calculation in the Signal Hold Mode // Electronics and Electrical Engineering. – Kaunas: Technologija, 2006. – No. 2 (66). – P. 31–35.

The generalized models of sample and hold circuit in the signal hold mode were proposed and created. Analytical equations for sample and hold circuit parameters calculation and dynamic errors estimation were derived. The sample and hold circuit with diode bridge key simulation results were presented. It was assumed, that signal is serrated, the clock frequency is 250 MHz, and the quantity of binary segments $b = 8$. The 0,5 μm bipolar integrated technology SPICE models were used for simulation. It was found, that output signal deflection not exceeds one least significant bit value, when hold capacity is 10 pF. It was demonstrated, when circuit model parameters are fixed, the velocity of sample and hold circuit can be increased by decreasing quantity of segments, or precision. Ill. 5, bibl. 7 (in Lithuanian; summaries in English, Russian, and Lithuanian).

A. Марцинкевичюс, В. Ясонис. Расчет параметров схемы аналоговой памяти в режиме хранения сигнала // Электроника и электротехника. – Kaunas: Technologija, 2006. – №2 (66). – С. 31–35.

В статье рассматриваются обобщённые модели и методика расчета схемы аналоговой памяти в режиме хранения. Приведены аналитические уравнения для расчета динамической погрешности схемы. Теоретические результаты исследования подтверждены моделированием схемы аналоговой памяти с диодным мостовым ключом. Для моделирования использованы параметры биполярных моделей транзисторов с проектной нормой 0,5 микрона. Аналоговый сигнал пилообразной формы трансформируется стробирующими импульсами с частотой 250 МГц при восьмиразрядной точности. Установлено, что оптимальная ёмкость конденсатора хранения для данной схемы 10 пикофарад. При такой ёмкости точность аппроксимации не превышает одного младшего значащего разряда. Также показано, что при заданных параметрах моделей транзисторов схемы, увеличить быстродействие возможно за счет уменьшения разрядности цифрового преобразователя аналогового сигнала. Ил. 5, библи. 7 (на литовском языке, рефераты на английском, русском и литовском яз.).

A. Marcinkevičius, V. Jasonis. Analoginės atminties schemos parametrų skaičiavimas signalo laikymo veikoje // Elektronika ir elektrotechnika. – Kaunas: Technologija, 2006. – Nr.2 (66). – P. 31–35.

Pasiūlyti ir sudaryti apibendrinti imties ir laikymo schemos modeliai signalo laikymo veikoje. Išvestos analitinės lygtys ILS parametrų skaičiuoti ir dinaminėms paklaidoms nustatyti. Pateikti imties ir laikymo grandinės su diodų tiltelio raktu modeliavimo rezultatai. Laikoma, kad signalo įtampa yra pjūklo formos ir strobavimo dažnis 250 MHz, dvejetainių skilčių skaičius $b = 8$. Modeliavimui panaudoti 0,5 μm dvipolių tranzistorių technologijos SPICE modeliai. Nustatyta, kad, esant laikymo talpai 10 pF, schemos išėjimo signalo nuokrypis neviršija vienos žemiausiosios skilties vertės. Parodyta, kad, esant duotiems schemos elementų modelių parametrų, ILS veikimo spartą galima padidinti sumažinant skilčių skaičių arba tikslumą. Il. 5, bibl. 7 (lietuvių kalba; santraukos anglų, rusų ir lietuvių k.).