

## LOCOS proceso taikymas MOS technologijose

**D. Eidukas, R. Anilionis, T. Keršys**

*Elektronikos inžinerijos katedra, Kauno technologijos universitetas,*

*Studentų g. 50, LT-51368 Kaunas, Lietuva, tel. +370 37 300503, el.p.: danielius.eidukas@ktu.lt;*

*romualdas.anilionis@ktu.lt; tomas.kersys@stud.ktu.lt*

### Įvadas

LOCOS (local oxidation of silicon – lokalus silicio oksidavimas) oksidacijos procesas plačiai taikomas MOS (metalas – oksidas – silicis) technologijose, kadangi jis gali vykti mažame plote ir pasižymi puikiomis dielektrinėmis savybėmis. Tačiau čia susiduriama su pagrindine problema – kadangi LOCOS technologinis procesas atliekamas aukštoje temperatūroje, priemaišos persiskirsto, pasislenka jau suformuotos skirtingo laidumo sričių ribos. Norint tiksliai apskaičiuoti projektuojamo integrinio elemento elektrinius parametrus, būtina įvertinti kiekvieno technologinio proceso įtaką suformuotoms skirtingo laidumo sritims.

Praktiškai sunku nustatyti temperatūrinių technologinių procesų įtaką legiruotų sričių poslinkiams, todėl taikomas technologinių procesų matematinis modeliavimas.

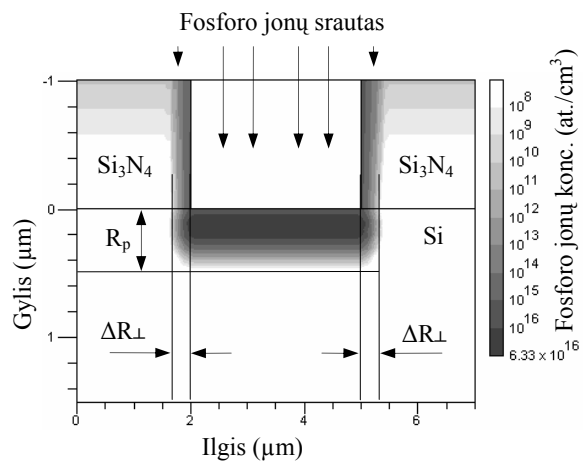
### Jonų implantavimo technologija

Skirtingo laidumo puslaidininkių sritims sudaryti taikomas terminis priemaišų įterpimas – terminė difuzija. Tačiau terminė difuzija turi nemažą trūkumą: aukštatemperatūres technologinės operacijos metu anksčiau įterptos priemaišos persiskirsto, todėl sunku užtikrinti plonų difuzinių sluoksnių parametrų sklaidą; vyksta šoninė difuzija po silicio oksido kauke, todėl padidėja pn sandūrų plotas; dėl aukštos proceso temperatūros jau suformuotų pn sričių priemaišos persiskirsto. Norint išvengti šių legiravimo proceso trūkumų, imta taikyti jonų implantaciją [1].

Jonų implantacijos technologijoje priemaišos yra jonizuojamos, elektriniu lauku jonams suteikiama labai didelė energija. Tokie didelės energijos jonai, bombarduodami puslaidininkį, jį legiruoja. Lokalusis legiravimas naudojamas sufokusavus jonų spindulį ties reikiama vieta arba puslaidininkio paviršių uždengus kauke, sulaukiančia jonus (1 pav.). Jonų implantacijos procesas matematiškai modeliuojamas programa SUPREM IV [3].

Jonų, besiskverbiantį į puslaidininkį, stabdo puslaidininkio elektronai ir jo susidūrimai su puslaidininkio atomais. Jonams susidūrimai su puslaidininkio atomais, pažeidžiama puslaidininkio kristalinės gardelės struktūra, susidaro pažeistos zonos –

klasteriai. Klasteriai rekristalizuojami atkaitinant plokšteles aukštoje temperatūroje.



**1 pav.** Fosforo jonų implantacijos modeliavimo rezultatai. Legiravimo dozė –  $1 \cdot 10^{12}$  C/cm<sup>2</sup>, energija – 100 keV

Jonų įsiskverbimo gylis  $R_p$  gali būti apskaičiuojamas pagal šią matematinę išraišką [1]:

$$R_p = \frac{1}{N} \int_0^{E_0} \frac{dE}{S_n + S_e}; \quad (1)$$

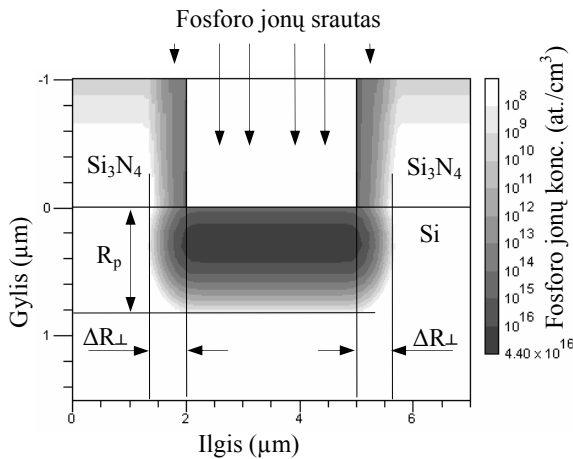
čia  $N$  – atomų koncentracija plokštelėje, cm<sup>-3</sup>;  $S_n$  – dydis, įvertinantis stabdymą atomais, eVcm<sup>2</sup>;  $S_e$  – dydis, įvertinantis stabdymą elektronais, eVcm<sup>2</sup>;  $E$  – jono energija, keV.

Svarbūs yra įsiskverbimo gylio standartinis nuokrypis  $\Delta R_p$  ir jonų gylio ortogonalusis nuokrypis  $\Delta R_{\perp}$ , kuris įvertina šoninį implantuotų jonų prasiskverbimo profilį. Šoninė jonų sklaida ypač svarbi formuojant MOS tranzistoriaus kanalą, taigi nuo  $\Delta R_{\perp}$  priklausys kanalo ilgis  $L$  [1].

Iš 2 paveikslu matyti, kad, padidinus jono energiją 100 keV, padidėjo vidutinis jo įsiskverbimo gylis  $R_p$ , taip pat  $\Delta R_p$  ir  $\Delta R_{\perp}$ . Taigi atitinkamai parenkant jono energiją galimą gauti reikiamo gylio ir pločio legiruotas Si sritis.

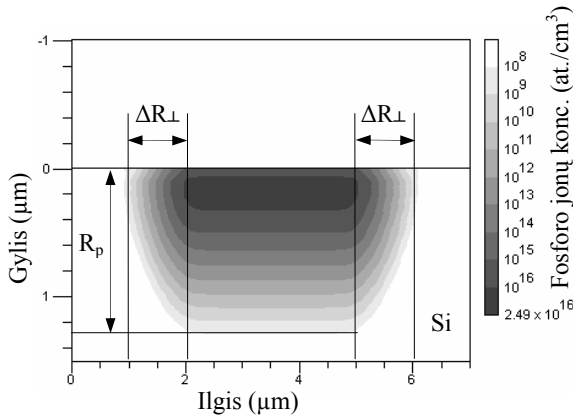
Šiuolaikinėje technologijoje jonų implantacija naudojama kartu su difuzija. Šiuo atveju jonų implantacija

naudojama tiksliai dozuotam gerai pasikartojančiam priemaišų įterpimui, o difuzija skirta priemaišoms išskirstyti.



2 pav. Fosforo jonų implantacijos modeliavimo rezultatai. Legiravimo dozė –  $1 \cdot 10^{12} \text{ C/cm}^2$ , energija – 200 keV

Silicio plokštelių atkaitinimo metu gaunamas reikalingas priemaišų pasiskirstymo profilis (3 pav.). Šiuo atveju padidėja šoninė difuzija, o kartu, gaminant MOS tranzistorius, kanalas sutrumpėja ir tai turi įtakos tranzistoriaus elektriniams parametrams.



3 pav. Fosforo priemaišų pasiskirstymas po atkaitinimo. Atkaitinimo laikas – 100 min, temperatūra – 1000 °C,  $\text{Si}_3\text{N}_4$  pašalintas

Priemaišų difuzija iš mažomis jonų dozėmis  $Q \leq 10^2 \mu\text{C/cm}^2$  legiruoto sluoksnio vyksta kaip iš baigtinio priemaišų šaltinio. Šis procesas aprašomas lygtimi [1]

$$N(x,t) = \frac{N}{\sqrt{\pi}(\sqrt{2}\Delta R_p + \sqrt{Dt})} e^{-\left(\frac{x-R_p}{\sqrt{2}\Delta R_p + 2\sqrt{Dt}}\right)^2}; \quad (2)$$

čia  $N$  – jonų implantacijos metu įterptas atomų skaičius,  $\text{at./cm}^3$ ;  $R_p$  – jonų išskverbimo gylis, cm;  $\Delta R_p$  – jonų

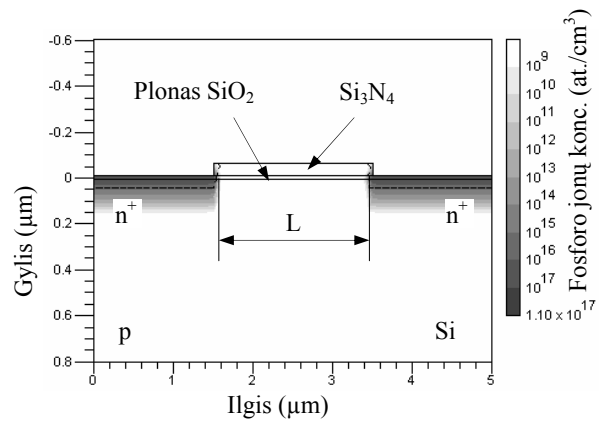
išskverbimo gylio standartinis nuokrypis, cm;  $D$  – priemaišų difuzijos koeficientas,  $\text{cm}^2/\text{s}$ ;  $x$  – gylis, cm;  $t$  – laikas, s.

## LOCOS oksido įtaka priemaišų pasiskirstymui

Kaip žinome, LOCOS oksidas formuojamas aukštoje temperatūroje, todėl priemaišos persiskirsto ir tai traktuojama kaip priemaišų difuzija iš baigtinio šaltinio (2). Dėl šios priežasties pasikeičia pn sandūrų gyliai, o atsiradus šoninei difuzijai, MOS tranzistoriaus kanalas sutrumpėja. Difuzinėms sritims palindus po užtūros elektrodo, atsiranda parazitinės talpos, kurios turi įtakos tranzistoriaus greitaveikai.

Pagal programą SUPREM IV buvo atliktas LOCOS oksidavimo proceso matematinis modeliavimas, esant fosforu legiruotam Si paviršiui.

4 paveiksle pavaizduotos fosforu legiruotos ištakos ir santakos sritys prieš formuojant LOCOS oksidą.



4 pav. Fosforu legiruotos santakos ir ištakos sritys iki LOCOS oksido suformavimo. Legiravimo dozė –  $1 \cdot 10^{12} \text{ C/cm}^2$ , energija – 30 keV

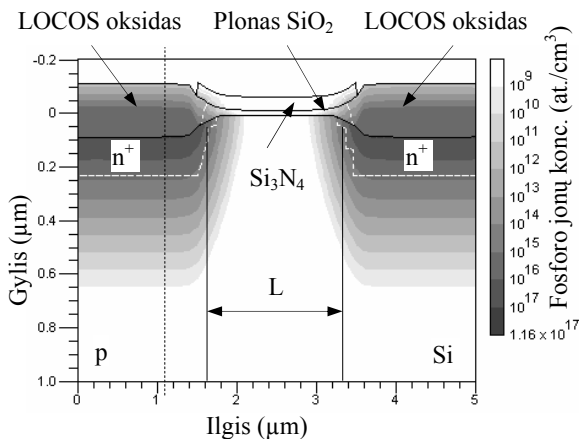
Matome, kad fosforo priemaišos pasiskirsčiusios tiksliai epitaksiniam p laidumo Si paviršiuje, kur jonų gylio ortogonalūs nuokrypiai  $\Delta R_\perp$  ir išskverbimo gylis standartinis nuokrypis  $\Delta R_p$  yra labai maži. Taip galima gauti tiksliai orientuotas, gausiai priemaišomis legiruotas sritys, tačiau tik mažo gylio.

Atliktas LOCOS oksido formavimo proceso vandens garuose matematinis modeliavimas, kai oksidacijos proceso temperatūra – 1000 °C, o trukmė – 20 min, parodo, kad dėl terminės priemaišų difuzijos legiruotų sričių profiliai smarkiai pasikeičia (5 pav.).

Priemaišos difunduoja į Si padėklą ir užauginama LOCOS oksidą. Priemaišų pasiskirstymo dėsnį lemia medžiagos kristalinės gardelės sandara. Formuojantis LOCOS oksidui, dėl aukštos temperatūros, fosforo priemaišos difunduoja tiek į gylį, tiek į šonus, taigi padidėja pn sandūrų gylis ir sutrumpėja kanalo ilgis  $L$ .

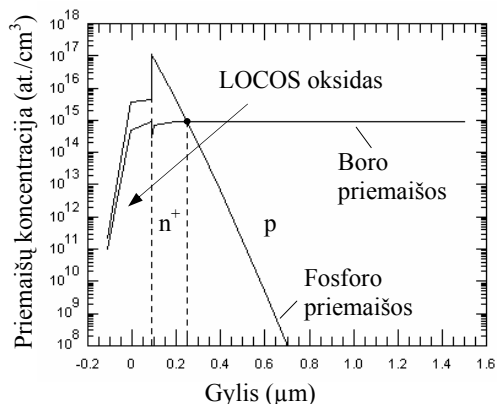
Tuo atveju, kai įterptų priemaišų koncentracija viršija Si sluoksnyje esančių priemaišų koncentraciją, susidaro skirtingo laidumo sritys pn. 5 paveiksle balta punktyrinė linija apibrėžia pn sandūros ribas – sandūros gylį. Praktiškai tiksliai nustatyti pn sandūrų gylių

pasikeitimą po tam tikros technologinės operacijos gana sunku. Tik matematinio modeliavimo galima nustatyti priemaišų persiskirstymo pobūdį ir apskaičiuoti pn sandūrų kitimo ribas, atlikus terminį technologinį procesą.



5 pav. LOCOS oksido formavimo proceso įtaka fosforo priemaišų persiskirstymui. Oksidacijos vandens garuose temperatūra – 1000 °C, trukmė – 20 min

6 paveiksle parodytas fosforo ir boro priemaišų pasiskirstymas Si sluoksnyje bei suformuotame LOCOS okside (5 pav., juoda punktyrinė linija ties 1 μm).

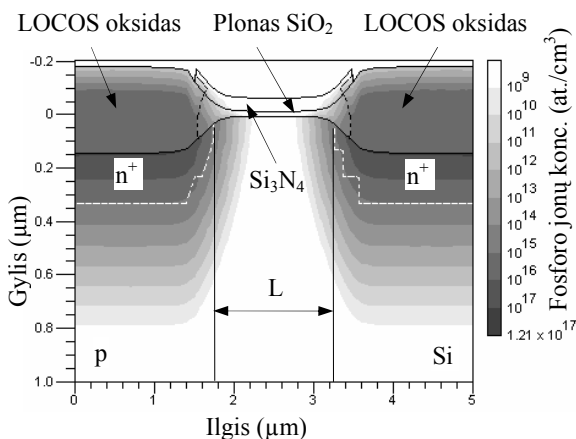


6 pav. Priemaišų pasiskirstymas Si sluoksnyje po LOCOS oksido suformavimo (pagal 5 pav.)

Ribą LOCOS – Si nusako staigus fosforo priemaišų koncentracijos pokytis. Taigi tiek boro, tiek fosforo priemaišos difunduoja ir į LOCOS oksidą.

Atliekame LOCOS oksido formavimo vandens garuose technologinio proceso matematinį modeliavimą, kai oksidacijos proceso temperatūra – 1000 °C, trukmė – 40 min. Modeliavimo rezultatai pateikti 7 paveiksle.

Palyginus 5 ir 7 paveikslus buvo pastebėta, kad pailginus oksidacijos trukmę 20 min, kanalo ilgis  $L$  sumažėjo ~ 0,35 μm, o pn sandūrų gylis padidėjo ~ 0,1 μm. Taigi LOCOS oksido formavimo procesas turi didesnę įtaką jonų išsiskverbimo gylio ortogonaliam nuokrypiui  $\Delta R_{\perp}$  negu gylio standartiniam nuokrypiui  $\Delta R_p$ . Į tai ypač svarbu atsižvelgti gaminant greitaveikius MOS tranzistorius.



7 pav. LOCOS oksido formavimo proceso įtaka fosforo priemaišų persiskirstymui. Oksidacijos vandens garuose temperatūra – 1000 °C, trukmė – 40 min

### LOCOS oksido taikymas MOS technologijose

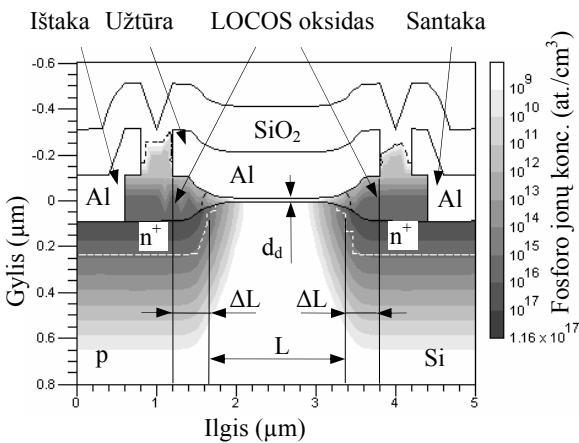
LOCOS oksidacijos technologija plačiai taikoma daugelyje integrinių elementų gamybos technologijų, kadangi silicio oksidą galima suformuoti mažame plote ir jis pasižymi puikiais dielektrinėmis savybėmis. Tačiau, kaip jau buvo minėta, LOCOS oksido formavimo procesas vyksta labai aukštoje temperatūroje ~ 1000 °C, tai sukelia jau suformuotų legiruotų sričių ribų poslinkius, dėl kurių pasikeičia formuojamų integrinių elementų elektriniai parametrai [2].

Dabartiniu metu plačiai naudojami MOS tranzistoriai, kadangi jie yra gerokai pranašesni už dvipolius. MOS tranzistoriai paprasčiau suformuojami Si luste, pasižymi didele įėjimo varža, mažesniais triukšmais, yra atsparesni radiacijai. Kadangi MOS tranzistorius užima kelis kartus mažesnę plotą nei dvipolis tranzistorius, todėl taikant MOS technologiją pavyksta pasiekti aukštesnių integracijos laipsnių.

Nagrinėjant LOCOS oksido susidarymo įtaką MOS tranzistoriaus ištakos ir santakos sričių poslinkiams, naudojamas MOS tranzistoriaus gamybos technologinių procesų matematinis modeliavimas programa SUPREM IV. Jo rezultatai pateikti 8 paveiksle.

Norint gauti storą LOCOS oksido sluoksnį, oksidacija turi būti atliekama vandens garuose. LOCOS technologinio proceso temperatūra 1000 °C, laikas – 20 min. Oksidacijos proceso metu, per jau susidariusį  $SiO_2$  sluoksnį oksidantai skverbiasi gilyn iki pat Si paviršiaus. Taip susidaro naujas  $SiO_2$  sluoksnis. Jis pakelia jau anksčiau susidariusi oksido sluoksnį kartu su  $Si_3N_4$ . Dėl to atsiranda įtempimai visoje struktūroje, todėl paviršius darosi nelygus. Iškilimai metalizacijos defektų nepadidina, bet pakelia  $Si_3N_4$  ir jame atsiranda įtrūkimų, taip pat trukdo fotolitografijos procesui. Be to, gaunamas nelygus dielektrinis sluoksnis bei virš jo esantis užtūros elektrodas (8, 9 pav.).

Susidarant LOCOS oksidui, implantuotos fosforo priemaišos, difunduojamos į šonus, sumažina tranzistoriaus kanalo ilgį  $L$ , taigi tranzistoriaus greitaveika turėtų padidėti, tačiau tuo pačiu metu susidaro talpa tarp užtūros elektrodo ir santakos bei ištakos difuzinių sričių.



8 pav. MOS tranzistorius ir fosforo priemaišų pasiskirstymas

MOS tranzistorių greitimeika priklauso nuo parazitinių talpų ir atskirų sričių varžos, kadangi, staiga pasikeitus įėjimo įtampai, santakos srovė kinta vėluodama, nes parazitinės talpos turi išsikrauti arba išsikrauti per parazitines varžas. Kuo talpos ir varžos didesnės, tuo lėčiau vyksta savaiminiai įkrovos arba iškrovos procesai. Parazitinę talpą, atsirandančią dėl užtūros elektrodo sanklodos su ištakos ir santakos sritimis, galima apytiksliai apskaičiuoti pagal šią matematinę išraišką:

$$C_{SU} = C_{IU} \approx \frac{\epsilon_d \epsilon_0 \Delta L d}{d_d}; \quad (3)$$

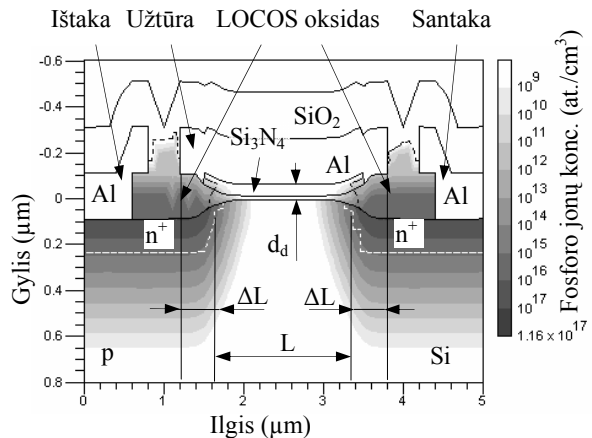
čia  $\epsilon_d$  – dielektriko dielektrinė sverbtis;  $\epsilon_0$  – absoliutinė dielektrinė skverbtis;  $\Delta L$  – sanklotos sričių ilgis;  $d$  – MOS tranzistoriaus kanalo plotis;  $d_d$  – dielektriko storis. Susidarant LOCOS oksidui, dielektriko storis  $d_d$  sutampančių sričių ilgyje  $\Delta L$  tampa netolygus, tai apsunkina sutampančių sričių talpos skaičiavimus ir galima rasti tik apytiksles  $C_{SU}$  ir  $C_{IU}$  vertes. Nagrinėjamu atveju (8 pav.), kai  $\Delta L = 0,5 \mu\text{m}$ ;  $d = 1 \mu\text{m}$ ;  $d_d \approx 0,15 \mu\text{m}$ ;  $\epsilon_d = 6$ , sanklotos sričių talpa  $C_{SU} = C_{IU} \approx 0,177 \text{ fF}$ . Parazitinių elementų vertės mažėja mažinant tranzistoriaus matmenis ir užtūros elektrodo užklojamą ištakos ir santakos sričių plotą.

Formuojant fosforu legiruotas ištakos ir santakos sritis, legiravimo dozė –  $1 \cdot 10^{12} \text{ C/cm}^2$ , energija – 30 keV (4 pav.).

LOCOS oksidas taip pat naudojamas ir MNOS (metalas – silicio nitridas – oksidas – silicis) tranzistorių gamybos technologijoje. Praktiškai ši technologija yra labai panaši į MOS tranzistorių gamybos technologiją, tačiau MNOS turi daugiasluoksnį dielektriką – nitrido oksido ir ploną oksido sluoksnį. Šiuo atveju  $\text{SiO}_2$  sluoksnio storis  $\sim 0,02 \mu\text{m}$ ,  $\text{Si}_3\text{N}_4$  sluoksnio storis  $\sim 0,05 \mu\text{m}$ .

Pagrindinė šio tranzistoriaus ypatybė yra ta, kad galima valdyti jų slenkstinę įtampą siunčiant į užtūrą 100  $\mu\text{s}$  impulsus. Slenkstinė įtampa pasikeičia dėl krūvio, susikaupusio riboje  $\text{Si}_3\text{N}_4 - \text{SiO}_2$ . Čia krūvis susikaupia dėl skirtingų laidumo srovių viename ir kitame sluoksnyje. Ši savybė naudojama gaminant plačiai paplitusius EEPROM atminties lustus.

MNOS tranzistoriaus gamybos technologinių procesų modeliavimo rezultatai pateikti 9 paveiksle.



9 pav. MNOS tranzistorius ir fosforo priemaišų pasiskirstymas

Iš 9 paveikslas matyti, kad kaip ir MOS technologijoje, formuojant LOCOS oksidą 1000 °C temperatūroje 20 min, vyksta fosforo priemaišų, o kartu ir legiruotų sričių ribų persiskirstymas. Taigi tik tiksliai nustatius gamybos technologinių procesų sąlygas, atliekant aukštatemperatūrius oksidacijos procesus, galima gauti reikiamą legiruotų sluoksnių išsidėstymą, o kartu ir reikiamas MOS elementų elektrines charakteristikas.

## Išvados

1. LOCOS oksidacijos procesas plačiai taikomas MOS technologijose, kadangi jis gali būti lokalizuojamas mažame plote ir pasižymi puikiomis dielektrinėmis savybėmis, be to gaunamas didesnis integracijos laipsnis.
2. Nustatyta, kad LOCOS oksido formavimo procesas didesnę įtaką turi jonų išsiskverbimo gylio ortogonaliam nuokrypiui negu gylio standartiniam nuokrypiui. Tai ypač svarbu įvertinti gaminant greitimeikius MOS tranzistorius.
3. Praktiškai tiksliai nustatyti pn sandūrų parametru pasikeitimą po tam tikros technologinės operacijos gana sunku. Tik atlikus technologinių procesų matematinį modeliavimą programa SUPREM IV, galima nustatyti priemaišų persiskirstymo pobūdį ir apskaičiuoti pn sandūrų kitimo ribas.

## Literatūra

1. **Stephen A. Campbell.** The Sciences and Engineering of Microelectronic Fabrication. – ISBN 0-19-513605-5. – New York: Oxford University Press, 2001. – 624 p.
2. **Anilionienė J., Anilionis R., Keršys T.** LOCOS Technology Simulation // Baltic Electronics Conference, BEC2004. ISBN 9985-59-462-2. – Tallinn: Tallinn University of Technology, 2004. – P. 39 – 42.
3. **SUPREM IV** matematinio modeliavimo programa. Iš Stenfordo universiteto oficialaus puslapio internete [interaktyvus]. 2004. Prieiga per internetą: <<http://www-tcad.stanford.edu>>.

Pateikta spaudai 2005 03 15

**D. Eidukas, R. Anilionis, T. Keršys. LOCOS proceso taikymas MOS technologijose // Elektronika ir elektrotechnika. – Kaunas: Technologija, 2005. – Nr. 5(61). – P. 38–42.**

Išnagrinėtos problemos, išskylančios taikant LOCOS oksidacijos technologinį procesą MOS ir MNOS technologijose. Daugiausiai problemų atsiranda pradėdant taikyti aukštatempertūrius technologinius procesus, kada pasireiškia terminė priemaišų difuzija iš legiruotų sričių. Praktiškai tiksliai nustatyti pn sandūrų gylių pasikeitimą po tam tikros technologinės operacijos yra gana sunku, todėl taikomas matematinis modeliavimas. Taikant programą SUPREM IV, atliktas jonų implantacijos ir LOCOS oksido formavimo technologinių procesų matematinis modeliavimas. Įvertinta Si plokštelių atkaitinimo ir LOCOS proceso įtaka legiruotų sričių persiskirstymui. Nustatyta, kad LOCOS oksido formavimo procesas turi gerokai didesnę įtaką priemaišų išsiskverbimo gylio ortogonaliam nuokrypiui negu išsiskverbimo gylio standartiniam nuokrypiui. Į tai ypač svarbu atsižvelgti gaminant greitaveikius MOS tranzistorius. Tik tiksliai nustatčius gamybos technologinių procesų sąlygas, tokias kaip implantavimo dozė, energija, formuojant legiruotas ištakas ir santakos sritis, bei LOCOS proceso temperatūra ir trukmė, galima gauti reikiamą legiruotų sluoksnių išsidėstymą, o kartu ir reikiamas MOS elementų elektrines charakteristikas. Il. 9, bibl. 3 (lietuvių kalba; santraukos lietuvių, anglų ir rusų k.).

**D. Eidukas, R. Anilionis, T. Keršys. Using LOCOS Process in a MOS Technology // Electronics and Electrical Engineering. – Kaunas: Technologija, 2005. – No. 5(61). – P. 38–42.**

The problems, appears using LOCOS oxidation technological process in MOS and MNOS technologies have been discussed. Mainly the problems occur then using high temperature technological processes, because starting thermal diffusion of impurities from ion implanted areas. In practice, to determinate the depth changes of pn splice after some technological operation it's difficult, thus using mathematical simulation. Using program SUPREM IV, mathematical modeling of ion implantation and LOCOS oxide growth has been performed. Anneal of Si wafer and LOCOS process impact to regrouping of diffused areas is estimated. It has been determined that process of LOCOS oxide forming has the most impact to orthogonal deviation of impurity penetration to the depth, than impact to standard deviation of impurity penetration to the depth. This fact it is important to determinate producing high frequency MOS transistors. Just by setting correctly conditions of technological processes, like ion implant dose and energy forming source and drain areas, and temperature and time of LOCOS process, we can obtain necessary location of diffusive layers, and necessary electrical characteristics of MOS elements. Ill. 9, bibl. 3 (in Lithuanian; summaries in Lithuanian, English and Russian).

**Д. Эйдукас, Р. Анильнис, Т. Кяршис. Применение LOCOS процесса в технологии МОС // Электроника и электротехника. – Каунас: Технология, 2005. – № 5(61). – P. 38–42.**

Исследованы проблемы, возникающие в технологиях МОС и МНОС при использовании окислительного процесса LOCOS. Чаще всего возникают проблемы при использовании высокотемпературных технологических процессов, когда проявляется термическая диффузия примесей из легированных областей. Практически точно установить изменение глубины перехода рп после определённой технологической операции очень сложно, поэтому используется математическое моделирование. Используя программу SUPREM IV, проведено математическое моделирование технологических операций формирования оксида LOCOS и ионной имплантации. Оценено влияние отжига пластин Si и процесса LOCOS на перегруппирование легированных областей. Определено, что процесс формирования оксида LOCOS более влияет на ортогональное отклонение глубины проникновения примесей, чем на стандартное отклонение глубины проникновения. Это очень важно учитывать производя высокочастотные МОС транзисторы. Только точно определив режим технологического процесса, такой как энергия и доза ионной имплантации, а также время и температура процесса LOCOS, можно получить требуемые параметры легированных областей и требуемые электрические характеристики МОС элементов. Ил. 9, библи. 3 (на литовском языке; рефераты на литовском, английском и русском яз.).

DOI: 10.5755/j02.eie.10433